



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0070418
(43) 공개일자 2020년06월17일

(51) 국제특허분류(Int. Cl.)
H01L 25/075 (2006.01) H01L 33/00 (2010.01)
H01L 33/48 (2010.01)
(52) CPC특허분류
H01L 25/0753 (2013.01)
H01L 33/005 (2013.01)
(21) 출원번호 10-2020-7016336
(22) 출원일자(국제) 2018년11월06일
심사청구일자 없음
(85) 번역문제출일자 2020년06월08일
(86) 국제출원번호 PCT/US2018/059300
(87) 국제공개번호 WO 2019/094344
국제공개일자 2019년05월16일
(30) 우선권주장
62/583,020 2017년11월08일 미국(US)

(71) 출원인
코닝 인코포레이티드
미국 뉴욕 (우편번호 14831) 코닝 원 리버프론트
플라자
(72) 발명자
가너 셴 매튜
미국 뉴욕 14905 엘미라 포스터 애비뉴 415
하이네 데이비드 로버트
미국 뉴욕 14840 해먼즈포트 데이 로드 9906
(74) 대리인
리엔목특허법인

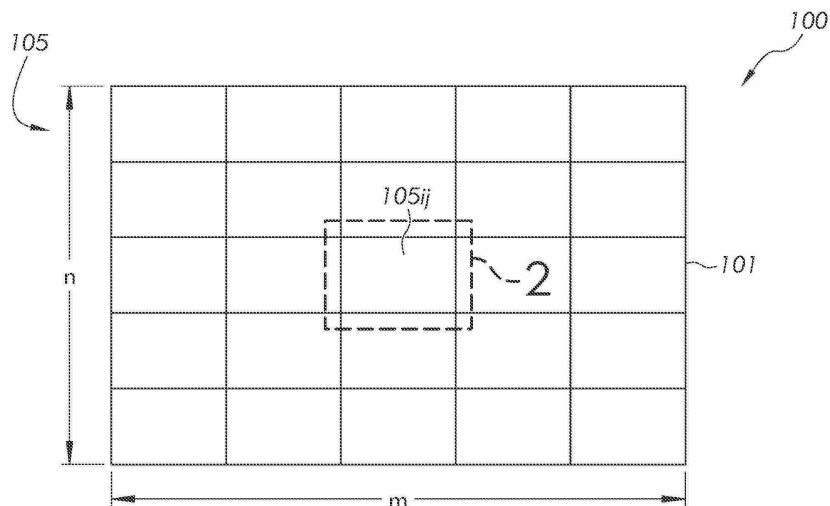
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 디스플레이 영역을 조립하기 위한 장치 및 방법

(57) 요약

디스플레이 영역을 조립하기 위한 방법은 복수의 타일들로부터 제1 타일을 선택하는 단계를 포함하며, 상기 복수의 타일들의 각각의 타일은 소정의 파라미터 및 복수의 픽셀들을 정의하는 복수의 마이크로 LED들을 포함한다. 상기 제1 타일을 선택하는 단계는 상기 제1 타일의 상기 소정의 파라미터의 값에 기초한다. 상기 방법은 상기 제2 타일의 상기 소정의 파라미터의 값에 기초하여 상기 복수의 타일들로부터 제2 타일을 선택하는 단계를 포함한다. 상기 방법은 상기 제1 타일 및 상기 제2 타일을 상기 디스플레이 영역의 적어도 일부를 정의하는 어레이로 배치하는 단계를 더 포함한다. 상기 제1 타일의 제1 엣지는 상기 제2 타일의 제2 엣지와 대향한다. 상기 방법에 의해 조립된 상기 디스플레이 영역을 포함하는 디스플레이 장치가 또한 제공된다.

대표도 - 도1



(52) CPC특허분류

H01L 33/48 (2013.01)

명세서

청구범위

청구항 1

복수의 타일들로부터 제1 타일을 선택하는 단계로서,

상기 복수의 타일들의 각각의 타일은 소정의 파라미터 및 복수의 픽셀들을 정의하는 복수의 마이크로 LED들을 포함하고, 상기 제1 타일을 선택하는 단계는 상기 제1 타일의 상기 소정의 파라미터의 값에 기초하는, 상기 복수의 타일들로부터 상기 제1 타일을 선택하는 상기 단계;

제2 타일의 상기 소정의 파라미터의 값에 기초하여 상기 복수의 타일들로부터 상기 제2 타일을 선택하는 단계; 및

디스플레이 영역의 적어도 일부를 정의하는 어레이로 상기 제1 타일 및 상기 제2 타일을 배치하는 단계를 포함하고,

상기 제1 타일의 제1 엣지는 상기 제2 타일의 제2 엣지와 대향하는 디스플레이 영역을 조립하는 방법.

청구항 2

제1 항에 있어서,

상기 제1 타일의 상기 소정의 파라미터의 상기 값은 상기 소정의 파라미터의 공칭(nominal) 값보다 크고, 상기 제2 타일의 상기 소정의 파라미터의 상기 값은 상기 소정의 파라미터의 상기 공칭 값보다 작은 디스플레이 영역을 조립하는 방법.

청구항 3

제1 항에 있어서,

상기 제1 타일의 상기 소정의 파라미터의 상기 값은 상기 소정의 파라미터의 공칭 값에 대한 상기 복수의 타일들의 상기 소정의 파라미터들의 최대 값을 정의하고, 상기 제2 타일의 상기 소정의 파라미터의 상기 값은 상기 소정의 파라미터의 상기 공칭 값에 대하여 상기 복수의 타일들의 상기 소정의 파라미터들의 최소 값을 정의하는 디스플레이 영역을 조립하는 방법.

청구항 4

제1 항에 있어서,

상기 복수의 타일들의 상기 소정의 파라미터의 각각의 값에 기초하여 상기 복수의 타일들을 분류하는 단계를 더 포함하는 디스플레이 영역을 조립하는 방법.

청구항 5

제4 항에 있어서,

상기 분류하는 단계는 제1 세트의 타일들 및 제2 세트의 타일들을 식별하는 단계를 포함하고, 상기 제1 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값은 상기 소정의 파라미터의 공칭 값보다 크고, 상기 제2 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값은 상기 소정의 파라미터의 상기 공칭 값보다 작은 디스플레이 영역을 조립하는 방법.

청구항 6

제5 항에 있어서,

상기 제1 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값에 기초하여 오름 차순 또는 내림 차순으로 상기 제1 세트의 타일들을 정렬하는 단계, 및 상기 제2 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값에 기초하여 오름 차순 또는 내림 차순으로 상기 제2 세트의 타일들을 정렬하는

단계를 더 포함하는 디스플레이 영역을 조립하는 방법.

청구항 7

제5 항 또는 제6 항에 있어서,

상기 제1 타일은 상기 제1 세트의 타일들로부터 선택되고 상기 제2 타일은 상기 제2 세트의 타일들로부터 선택되는 디스플레이 영역을 조립하는 방법.

청구항 8

제7 항에 있어서,

상기 제1 타일의 상기 소정의 파라미터의 상기 값은 상기 소정의 파라미터의 상기 공칭 치수에 대하여 상기 제1 세트의 타일들의 상기 소정의 파라미터들의 최대 값을 정의하고, 상기 제2 타일의 상기 소정의 파라미터의 상기 값은 상기 소정의 파라미터의 상기 공칭 값에 대하여 상기 제2 세트의 타일들의 상기 소정의 파라미터들의 최소 값을 정의하는 디스플레이 영역을 조립하는 방법.

청구항 9

제1 항 내지 제8 항 중 어느 하나에 있어서,

적어도 하나의 추가 타일의 상기 소정의 파라미터의 값에 기초하여 상기 복수의 타일들로부터 상기 적어도 하나의 추가 타일을 선택하는 단계 및 상기 적어도 하나의 추가 타일을 상기 어레이에 배치하는 단계를 더 포함하는 디스플레이 영역을 조립하는 방법.

청구항 10

제1 항 내지 제9 항 중 어느 하나에 있어서,

상기 복수의 타일들의 각각의 타일의 상기 소정의 파라미터는 상기 복수의 타일들의 각각의 타일의 각각의 측방향 치수, 상기 복수의 타일들의 각각의 타일의 각각의 엣지 직진도(straightness), 및 상기 복수의 타일들의 각각의 타일의 각각의 직각도(squareness) 중 적어도 하나를 포함하는 디스플레이 영역을 조립하는 방법.

청구항 11

청구항 제1항 내지 제10항 중 어느 하나의 방법에 의해 조립된 상기 디스플레이 영역을 포함하는 디스플레이 장치로서,

상기 복수의 픽셀들의 바로 인접한 픽셀들 사이의 측방향 거리는 픽셀 피치(pitch)를 정의하고, 상기 제1 타일의 상기 제1 엣지로부터 이격된 상기 제1 타일의 적어도 하나의 제1 외부 픽셀과 상기 제2 타일의 상기 제2 엣지로부터 이격된 상기 제2 타일의 적어도 하나의 제2 외부 픽셀 사이의 측방향 거리는 레지스트레이션 피치(registration pitch)를 정의하고, 상기 레지스트레이션 피치는 상기 픽셀 피치의 약 1.5 배 이하인 디스플레이 장치.

청구항 12

제11 항에 있어서,

상기 레지스트레이션 피치는 상기 픽셀 피치의 약 1.1 배 이하인 디스플레이 장치.

청구항 13

제11 항에 있어서,

상기 레지스트레이션 피치는 상기 픽셀 피치의 약 1.01 배 이하인 디스플레이 장치.

청구항 14

제11 항 내지 제13 항 중 어느 하나에 있어서,

상기 픽셀 피치는 약 100 마이크로미터 내지 약 500 마이크로미터인 디스플레이 장치.

청구항 15

복수의 타일들로부터 복수 쌍들의 타일들을 선택하는 단계; 및

디스플레이 영역의 적어도 일부를 정의하는 어레이로 상기 복수 쌍들의 타일들을 배치하는 단계를 포함하고,

상기 복수의 타일들의 각각의 타일은 소정의 파라미터 및 복수의 픽셀들을 정의하는 복수의 마이크로 LED들을 포함하고, 상기 복수 쌍들의 타일들을 선택하는 상기 단계는 상기 복수의 타일들의 각각의 타일의 상기 소정의 파라미터의 각각의 값에 기초하고, 각각의 쌍의 타일들은 제1 타일 및 제2 타일을 포함하고, 각각의 쌍의 타일들의 상기 제1 타일의 상기 소정의 파라미터의 상기 각각의 값은 각각의 쌍의 타일들의 상기 제2 타일의 상기 소정의 파라미터의 상기 각각의 값보다 크고,

각각의 쌍의 타일들의 상기 제1 타일의 각각의 제1 엣지는 각각의 쌍의 타일들의 상기 제2 타일의 각각의 제2 엣지와 대향하는 디스플레이 영역을 조립하는 방법.

청구항 16

제15 항에 있어서,

상기 각각의 쌍의 타일들의 상기 제1 타일의 상기 소정의 파라미터의 상기 각각의 값은 상기 소정의 파라미터의 공칭 값보다 크고, 상기 각각의 쌍의 타일들의 상기 제2 타일의 상기 소정의 파라미터의 상기 각각의 값은 상기 소정의 파라미터의 상기 공칭 값보다 작은 디스플레이 영역을 조립하는 방법.

청구항 17

제15 항에 있어서,

상기 복수의 타일들로부터 제1 세트의 타일들을 식별하는 단계 및 상기 복수의 타일들로부터 제2 세트의 타일들을 식별하는 단계를 더 포함하고,

상기 제1 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값은 상기 소정의 파라미터의 공칭 값보다 크고, 상기 제2 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값은 상기 소정의 파라미터의 상기 공칭 값보다 작고, 각각의 쌍의 타일들의 상기 제1 타일은 상기 제1 세트의 타일들로부터 선택되고, 각각의 쌍의 타일들의 상기 제2 타일은 상기 제2 세트의 타일들로부터 선택되는 디스플레이 영역을 조립하는 방법.

청구항 18

제17 항에 있어서,

상기 제1 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값에 기초하여 오름 차순 또는 내림 차순으로 상기 제1 세트의 타일들을 정렬하는 단계, 및 상기 제2 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값에 기초하여 오름 차순 또는 내림 차순으로 상기 제2 세트의 타일들을 정렬하는 단계를 더 포함하고, 각각의 쌍의 타일들의 상기 제1 타일은 정렬된 상기 제1 세트의 타일들로부터 순차적으로 선택되고, 각각의 쌍의 타일들의 상기 제2 타일은 정렬된 상기 제2 세트의 타일들로부터 순차적으로 선택되는 디스플레이 영역을 조립하는 방법.

청구항 19

제15 항 내지 제18 항 중 어느 하나에 있어서,

상기 복수의 타일들의 각각의 타일의 상기 소정의 파라미터는 상기 복수의 타일들의 각각의 타일의 각각의 측방향 치수, 상기 복수의 타일들의 각각의 타일의 각각의 엣지 직진도, 및 상기 복수의 타일들의 각각의 타일의 각각의 직각도 중 적어도 하나를 포함하는 디스플레이 영역을 조립하는 방법.

청구항 20

청구항 제15 항 내지 제19 항 중 어느 하나의 방법에 의해 조립된 상기 디스플레이 영역을 포함하는 디스플레이 장치로서,

상기 복수의 픽셀들의 바로 인접한 픽셀들 사이의 측방향 거리는 약 100 마이크로미터 내지 약 500 마이크로미터

터의 픽셀 피치를 정의하는 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 개시는 개괄적으로 디스플레이 장치의 디스플레이 영역을 조립하기 위한 방법들 및 장치 및 보다 구체적으로 상기 디스플레이 영역의 적어도 일부를 정의하는 어레이 내로 복수의 타일들을 배치하기 위한 방법들 및 장치에 관한 것이다.

[0002] 본 출원은 2017년 11월 8일 출원된 미국 가출원 제62/583,020호의 우선권의 이익을 주장하며, 그 내용은 마치 아래 전체가 제시된 것처럼 그 전체가 참조에 의해 의존되며 본 명세서에 결합된다.

배경 기술

[0003] 디스플레이 장치의 디스플레이 영역의 적어도 일부를 정의하는 어레이 내로 복수의 타일들을 배치하는 것이 알려져 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 디스플레이 영역의 적어도 일부를 정의하는 어레이 내로 복수의 타일들을 배치하기 위한 방법들 및 장치를 제공하는 것이다.

과제의 해결 수단

[0005] 다음은 상세한 설명에 설명된 일부 실시예들에 대한 기본적인 이해를 제공하기 위한 본 개시의 간략화된 요약을 제시한다.

[0006] 일부 실시예들에서, 디스플레이 영역을 조립하는 방법은 복수의 타일들로부터 제1 타일을 선택하는 단계를 포함할 수 있다. 상기 복수의 타일들의 각각의 타일은 소정의 파라미터 및 복수의 픽셀들을 정의하는 복수의 마이크로 LED들을 포함할 수 있다. 상기 제1 타일을 선택하는 단계는 상기 제1 타일의 상기 소정의 파라미터의 값에 기초할 수 있다. 상기 방법은 제2 타일의 상기 소정의 파라미터의 값에 기초하여 상기 복수의 타일들로부터 상기 제2 타일을 선택하는 단계를 포함할 수 있다. 상기 방법은 상기 제1 타일 및 상기 제2 타일을 상기 디스플레이 영역의 적어도 일부를 정의하는 어레이로 배치하는 단계를 포함할 수 있다. 상기 제1 타일의 제1 엣지는 상기 제2 타일의 제2 엣지와 대향할 수 있다.

[0007] 일부 실시예들에서, 상기 제1 타일의 상기 소정의 파라미터의 상기 값은 상기 소정의 파라미터의 공칭(nominal) 값보다 클 수 있고, 상기 제2 타일의 상기 소정의 파라미터의 상기 값은 상기 소정의 파라미터의 상기 공칭 값보다 작을 수 있다.

[0008] 일부 실시예들에서, 상기 제1 타일의 상기 소정의 파라미터의 상기 값은 상기 소정의 파라미터의 공칭 값에 대한 상기 복수의 타일들의 상기 소정의 파라미터들의 최대 값을 정의할 수 있고, 상기 제2 타일의 상기 소정의 파라미터의 상기 값은 상기 소정의 파라미터의 상기 공칭 값에 대하여 상기 복수의 타일들의 상기 소정의 파라미터들의 최소 값을 정의할 수 있다.

[0009] 일부 실시예들에서, 상기 방법은 상기 복수의 타일들의 상기 소정의 파라미터의 각각의 값에 기초하여 상기 복수의 타일들을 분류하는 단계를 더 포함할 수 있다.

[0010] 일부 실시예들에서, 상기 분류하는 단계는 제1 세트의 타일들 및 제2 세트의 타일들을 식별하는 단계를 포함할 수 있다. 상기 제1 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값은 상기 소정의 파라미터의 공칭 값보다 클 수 있고, 상기 제2 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값은 상기 소정의 파라미터의 상기 공칭 값보다 작을 수 있다.

[0011] 일부 실시예들에서, 상기 방법은 상기 제1 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값에 기초하여 오름 차순 또는 내림 차순으로 상기 제1 세트의 타일들을 정렬하는 단계, 및 상기 제2 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값에 기초하여 오름 차순 또는 내림 차순으로 상기

제2 세트의 타일들을 정렬하는 단계를 더 포함할 수 있다.

- [0012] 일부 실시예들에서, 상기 제1 타일은 상기 제1 세트의 타일들로부터 선택될 수 있고 상기 제2 타일은 상기 제2 세트의 타일들로부터 선택될 수 있다.
- [0013] 일부 실시예들에서, 상기 제1 타일의 상기 소정의 파라미터의 상기 값은 상기 소정의 파라미터의 상기 공칭 치수에 대하여 상기 제1 세트의 타일들의 상기 소정의 파라미터들의 최대 값을 정의할 수 있고, 상기 제2 타일의 상기 소정의 파라미터의 상기 값은 상기 소정의 파라미터의 상기 공칭 값에 대하여 상기 제2 세트의 타일들의 상기 소정의 파라미터들의 최소 값을 정의할 수 있다.
- [0014] 일부 실시예들에서, 상기 방법은 적어도 하나의 추가 타일의 상기 소정의 파라미터의 값에 기초하여 상기 복수의 타일들로부터 상기 적어도 하나의 추가 타일을 선택하는 단계 및 상기 적어도 하나의 추가 타일을 상기 어레이에 배치하는 단계를 더 포함할 수 있다.
- [0015] 일부 실시예들에서, 상기 복수의 타일들의 각각의 타일의 상기 소정의 파라미터는 상기 복수의 타일들의 각각의 타일의 각각의 측방향 치수, 상기 복수의 타일들의 각각의 타일의 각각의 엣지 직진도(straightness), 및 상기 복수의 타일들의 각각의 타일의 각각의 직각도(squareness) 중 적어도 하나를 포함할 수 있다.
- [0016] 일부 실시예들에서, 디스플레이 장치는 상기 방법에 의해 조립된 상기 디스플레이 영역을 포함할 수 있다. 상기 복수의 픽셀들의 바로 인접한 픽셀들 사이의 측방향 거리는 픽셀 피치(pitch)를 정의할 수 있다. 상기 제1 타일의 상기 제1 엣지로부터 이격된 상기 제1 타일의 적어도 하나의 제1 외부 픽셀과 상기 제2 타일의 상기 제2 엣지로부터 이격된 상기 제2 타일의 적어도 하나의 제2 외부 픽셀 사이의 측방향 거리는 레지스트레이션 피치(registration pitch)를 정의할 수 있고, 상기 레지스트레이션 피치는 상기 픽셀 피치의 약 1.5 배 이하일 수 있다.
- [0017] 일부 실시예들에서, 상기 레지스트레이션 피치는 상기 픽셀 피치의 약 1.1 배 이하일 수 있다.
- [0018] 일부 실시예들에서, 상기 레지스트레이션 피치는 상기 픽셀 피치의 약 1.01 배 이하일 수 있다.
- [0019] 일부 실시예들에서, 상기 픽셀 피치는 약 100 마이크로미터 내지 약 500 마이크로미터일 수 있다.
- [0020] 일부 실시예들에서, 디스플레이 영역을 조립하는 방법은 복수의 타일들로부터 복수 쌍들의 타일들을 선택하는 단계를 포함할 수 있다. 상기 복수의 타일들의 각각의 타일은 소정의 파라미터 및 복수의 픽셀들을 정의하는 복수의 마이크로 LED들을 포함할 수 있다. 상기 복수 쌍들의 타일들을 선택하는 상기 단계는 상기 복수의 타일들의 각각의 타일의 상기 소정의 파라미터의 각각의 값에 기초할 수 있다. 각각의 쌍의 타일들은 제1 타일 및 제2 타일을 포함할 수 있고, 각각의 쌍의 타일들의 상기 제1 타일의 상기 소정의 파라미터의 상기 각각의 값은 각각의 쌍의 타일들의 상기 제2 타일의 상기 소정의 파라미터의 상기 각각의 값보다 클 수 있다. 상기 방법은 상기 디스플레이 영역의 적어도 일부를 정의하는 어레이로 상기 복수 쌍들의 타일들을 배치하는 단계를 더 포함할 수 있다. 각각의 쌍의 타일들의 상기 제1 타일의 각각의 제1 엣지는 각각의 쌍의 타일들의 상기 제2 타일의 각각의 제2 엣지와 대향할 수 있다.
- [0021] 일부 실시예들에서, 상기 각각의 쌍의 타일들의 상기 제1 타일의 상기 소정의 파라미터의 상기 각각의 값은 상기 소정의 파라미터의 공칭 값보다 클 수 있고, 상기 각각의 쌍의 타일들의 상기 제2 타일의 상기 소정의 파라미터의 상기 각각의 값은 상기 소정의 파라미터의 상기 공칭 값보다 작을 수 있다.
- [0022] 일부 실시예들에서, 상기 방법은 상기 복수의 타일들로부터 제1 세트의 타일들을 식별하는 단계 및 상기 복수의 타일들로부터 제2 세트의 타일들을 식별하는 단계를 더 포함할 수 있다. 상기 제1 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값은 상기 소정의 파라미터의 공칭 값보다 클 수 있고, 상기 제2 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값은 상기 소정의 파라미터의 상기 공칭 값보다 작을 수 있다. 각각의 쌍의 타일들의 상기 제1 타일은 상기 제1 세트의 타일들로부터 선택될 수 있고, 각각의 쌍의 타일들의 상기 제2 타일은 상기 제2 세트의 타일들로부터 선택될 수 있다.
- [0023] 일부 실시예들에서, 상기 방법은 상기 제1 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값에 기초하여 오름 차순 또는 내림 차순으로 상기 제1 세트의 타일들을 정렬하는 단계, 및 상기 제2 세트의 타일들의 각각의 타일의 상기 소정의 파라미터의 상기 각각의 값에 기초하여 오름 차순 또는 내림 차순으로 상기 제2 세트의 타일들을 정렬하는 단계를 더 포함할 수 있다. 각각의 쌍의 타일들의 상기 제1 타일은 정렬된 상기 제1 세트의 타일들로부터 순차적으로 선택될 수 있고, 각각의 쌍의 타일들의 상기 제2 타일은 정렬된 상기 제2

세트의 타일들로부터 순차적으로 선택될 수 있다.

[0024] 일부 실시예들에서, 상기 복수의 타일들의 각각의 타일의 상기 소정의 파라미터는 상기 복수의 타일들의 각각의 타일의 각각의 측방향 치수, 상기 복수의 타일들의 각각의 타일의 각각의 엣지 직진도, 및 상기 복수의 타일들의 각각의 타일의 각각의 직각도 중 적어도 하나를 포함할 수 있다.

[0025] 일부 실시예들에서, 디스플레이 장치는 상기 방법에 의해 조립된 상기 디스플레이 영역을 포함할 수 있고, 상기 복수의 픽셀들의 바로 인접한 픽셀들 사이의 측방향 거리는 약 100 마이크로미터 내지 약 500 마이크로미터의 픽셀 피치를 정의할 수 있다.

도면의 간단한 설명

[0026] 이러한 및 다른 특징들, 실시예들 및 장점들이 다음의 상세한 설명이 첨부된 도면들과 함께 읽혀질 때 더 잘 이해된다.

도 1은 본 개시의 실시예들에 따른 복수의 타일들을 포함하는 디스플레이 영역을 포함하는 디스플레이 장치의 예시적인 실시예의 개략도를 도시한다.

도 2는 본 개시의 실시예들에 따른 도 1의 뷰 2에 의해 보여지는 상기 디스플레이 영역의 상기 복수의 타일들 중 하나의 타일의 확대도를 도시한다.

도 3은 본 개시의 실시예들에 따른 복수의 픽셀들을 정의하는 복수의 마이크로LED들을 포함하는 도 2의 뷰 3에 의해 보여지는 상기 타일의 일부의 확대도를 도시한다.

도 4는 본 개시의 실시예들에 따른 도 3의 4-4 선을 따른 상기 복수의 마이크로LED들 중 적어도 하나의 마이크로LED를 포함하는 상기 복수의 픽셀들 중 하나의 픽셀의 단면도를 도시한다.

도 5는 본 개시의 실시예들에 따른 디스플레이 영역을 조립하기 위한 예시적인 방법을 도시한다.

도 6은 본 개시의 실시예들에 따른 상이한 타일 절단 기술들에 대한 복수의 50 마이크로미터 오프셋 타일들을 포함하는 디스플레이 영역들의 시뮬레이션된 조립에 기초한 예시적인 플롯을 도시하며, 여기서 수직 또는 Y 축은 실패율 퍼센티지(%)를 나타내고 수평 또는 X 축은 마이크로미터(μm) 단위의 픽셀 피치를 나타낸다.

도 7은 본 개시의 실시예들에 따른 상이한 타일 절단 기술들에 대한 복수의 100 마이크로미터 오프셋 타일들을 포함하는 디스플레이 영역들의 시뮬레이션된 조립에 기초한 예시적인 플롯을 도시하며, 여기서 수직 또는 Y 축은 실패율 퍼센티지(%)를 나타내고 수평 또는 X 축은 마이크로미터(μm) 단위의 픽셀 피치를 나타낸다.

도 8은 본 개시의 실시예들에 따른 상이한 레지스트레이션 피치들 및 배치 전략들에 대한 전역 배치 허용 오차를 가지는 복수의 50 마이크로미터 오프셋 타일들을 포함하는 디스플레이 영역들의 시뮬레이션된 조립에 기초한 예시적인 플롯을 도시하며, 여기서 수직 또는 Y 축은 실패율 퍼센티지(%)를 나타내고 수평 또는 X 축은 어레이 내의 타일들의 수($n \times m$)로 디스플레이 영역 크기를 나타낸다.

도 9는 본 개시의 실시예들에 따른 상이한 레지스트레이션 피치들 및 배치 전략들에 대한 상대 배치 허용 오차를 가지는 복수의 50 마이크로미터 오프셋 타일들을 포함하는 디스플레이 영역들의 시뮬레이션된 조립에 기초한 예시적인 플롯을 도시하며, 여기서 수직 또는 Y 축은 실패율 퍼센티지(%)를 나타내고 수평 또는 X 축은 어레이 내의 타일들의 수($n \times m$)로 디스플레이 영역 크기를 나타낸다.

도 10은 본 개시의 실시예들에 따른 상이한 레지스트레이션 피치들 및 배치 전략들에 대한 전역 배치 허용 오차를 가지는 복수의 100 마이크로미터 오프셋 타일들을 포함하는 디스플레이 영역들의 시뮬레이션된 조립에 기초한 예시적인 플롯을 도시하며, 여기서 수직 또는 Y 축은 실패율 퍼센티지(%)를 나타내고 수평 또는 X 축은 어레이 내의 타일들의 수($n \times m$)로 디스플레이 영역 크기를 나타낸다.

도 11은 본 개시의 실시예들에 따른 상이한 레지스트레이션 피치들 및 배치 전략들에 대한 상대 배치 허용 오차를 가지는 복수의 100 마이크로미터 오프셋 타일들을 포함하는 디스플레이 영역들의 시뮬레이션된 조립에 기초한 예시적인 플롯을 도시하며, 여기서 수직 또는 Y 축은 실패율 퍼센티지(%)를 나타내고 수평 또는 X 축은 어레이 내의 타일들의 수($n \times m$)로 디스플레이 영역 크기를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0027] 예시적인 실시예들이 도시된 첨부된 도면들을 참조하여 실시예들이 이제 이하에서 보다 상세히 설명될 것이다.

가능한 곳마다, 동일하거나 유사한 부분들을 참조하기 위해 도면들에 걸쳐 동일한 참조 번호들이 사용된다. 그러나, 본 개시는 많은 다양한 형태들로 실시될 수 있으며 본 명세서에 제시된 실시예들로 제한되는 것으로 간주되지 않아야 한다.

[0028] 본 명세서에 개시된 특정한 실시예들은 예시적이며 따라서 비제한적인 것으로 의도된다는 것이 이해될 것이다. 본 개시의 목적 상, 도 1은 복수의 타일들(105)을 포함하는 예시적인 디스플레이 장치(100)의 개략도를 도시한다. 일부 실시예들에서, 상기 복수의 타일들(105)은 상기 디스플레이 장치(100)의 디스플레이 영역(101)을 정의하는 어레이(예를 들어, $n \times m$ 어레이)로 배치될 수 있다. 일부 실시예들에서, 상기 디스플레이 장치(100)는 모바일 장치들, 웨어러블(예를 들어 시계들), 텔레비전들, 자동차 디스플레이들, 투명 디스플레이들, 신호판, 컴퓨터들, تبل릿들, 및 사용자가 상기 디스플레이 장치(100)의 상기 디스플레이 영역(101)을 보거나 및/또는 상호작용(예를 들어, 터치, 접촉)하는 다른 디스플레이 모니터들을 포함하나 이에 제한되지 않는 하나 이상의 응용 분야들에 사용될 수 있다. 또한, 일부 실시예들에서, 상기 디스플레이 장치(100)는 다이렉트-뷰 디스플레이(예를 들어, 마이크로LED 디스플레이)에 사용될 수 있다. 또한, 일부 실시예들에서, 상기 디스플레이 장치(100)는 디스플레이(예를 들어, LCD 디스플레이)에 포함될 수 있으며 백라이트 유닛으로 사용될 수 있다.

[0029] 또한, $5 \times 5(n \times m)$ 어레이를 포함하는 평평한 직사각형 디스플레이 영역(101)으로 도시되었으나, 일부 실시예들에서, 본 개시의 범위로부터 벗어나지 않으면서, 상기 디스플레이 영역(101)은 평평하거나 평평하지 않은 디스플레이 영역(101)을 정의하는, 임의의 수의 $n \times m$ 어레이들로, 원형, 타원형, 및 다른 기하학적 및 다각형 형상들을 포함하여 다양한 형상들, 크기들, 및 평평도를 포함할 수 있다. 일부 실시예들에서, 상기 디스플레이 영역(101)은 본 개시의 실시예들에 따른 하나 이상의 타일링 방법들에 의해 달성되는 대칭적이거나 비대칭적인, 또한 규칙적이거나 불규칙적인 형상들을 포함할 수 있다. 마찬가지로, 평평한, 직사각형 타일들로 도시되었으나, 일부 실시예들에서, 본 개시의 범위로부터 벗어나지 않으면서 상기 복수의 타일들(105) 중 하나 이상의 타일들은 평평하거나 평평하지 않은 타일을 정의하는 대칭적이거나 비대칭적인 타일들, 및 규칙적이거나 불규칙적인 형상들을 포함하여, 임의의 크기(예를 들어, 치수)의 삼각형, 및 다른 기하학적 및 다각형 형상들을 포함하나 이에 제한되지 않는 다양한 형상들, 크기들, 및 평평도를 포함할 수 있다.

[0030] 일부 실시예들에서, 상기 복수의 타일들(105)로 상기 디스플레이 영역(101)을 조립함으로써, 상기 복수의 타일들(105)의 하나 이상의 타일들이 결합이 있는 것으로(예를 들어, 전기 배선 불량, 파손, 오작동) 판정된 경우, 하나 이상의 결합이 있는 타일들은 $n \times m$ 어레이로부터 제거될 수 있으며 수리 및 교체 중 적어도 하나가 이루어진다. 대안적으로, 상기 디스플레이 영역(101)이 복수의 비교적 더 작은 타일들에 비하여 단일한, 비교적 더 큰 타일로 제공되는 경우, 상기 단일한, 비교적 더 큰 타일이 결합이 있는 것으로 판정된 경우, 디스플레이 전체가 결합이 있을 것이다. 따라서, 일부 실시예들에서, 상기 디스플레이 영역(101)을 $n \times m$ 어레이로 조립된 복수의 타일들(105)로 제공함으로써, 상기 디스플레이 장치(100)의 디스플레이 영역(101)을 제공하는 것과 관련된 비용, 시간, 및 낭비가 감소될 수 있으며, 상기 디스플레이 영역(101)의 조립이 보다 효율적으로 수행될 수 있다.

[0031] 도 2는 도 1의 뷰 2에 의해 보여지는 상기 복수의 타일들(105) 중 하나의 타일(105ij)의 확대도를 도시하며, 상기 타일(105ij)은 상기 디스플레이 장치(100)의 상기 디스플레이 영역(101)을 정의하는 상기 $(n \times m)$ 어레이로 배치된 상기 복수의 타일들(105) 중 하나 이상의 개별적인 타일들을 나타낼 수 있다. 점선의 외곽선으로 도시된 공칭 타일(200)은 상기 타일(105ij)의 공칭(예를 들어, 원하는, 의도된) 프로파일을 대표할 수 있다. 또한, 도 2에 도시되고 아래 보다 상세히 논의된 바와 같이, 일부 실시예들에서, 타일(105ij)의 치수들은 절단 기술의 정확성, 정밀도, 및 공차들을 포함하여 적어도 상기 타일(105ij)을 절단하는데 사용되는 기술에 기초하여 공칭 타일(200)의 치수들로부터 벗어날 수 있다. 절단 기술이 상기 복수의 타일들(105)의 각각의 타일에 상기 공칭 타일(200)의 치수들을 신뢰성있게 제공할 수 있는 경우, 상기 복수의 타일들(105)을 $n \times m$ 어레이로 배치하는 것은 공칭 치수들로부터의 편차들에 대한 고려 없이 달성될 수 있다. 그러나, 절단 기술의 정확성, 정밀도, 및 공차들을 포함하여 적어도 상기 타일(105ij)을 절단하는데 사용되는 기술은 일부 실시예들에서 상기 공칭 타일(200)의 치수들로부터 벗어난 상기 타일(105ij)의 치수들을 제공할 수 있으므로, 이러한 편차들이 일부 실시예들에서 상기 복수의 타일들(105)을 $n \times m$ 어레이로 조립할 때 고려될 수 있다.

[0032] 예를 들어, 일부 실시예들에서, 상기 타일(105ij)은 상기 타일(105ij)의 각각의 측방향 치수, 상기 타일(105ij)의 각각의 엣지 직진도, 및 상기 타일(105ij)의 각각의 직각도(squareness) 중 적어도 하나를 포함하는 소정의 파라미터를 포함할 수 있다. 일부 실시예들에서, 상기 소정의 파라미터는 상기 타일(105ij)의 치수의 직접적인 측정, 상기 타일(105ij)의 소정의 파라미터의 수치적 분포, 및 통계적으로 유사한 타일들의 소정의 파라미터들의 수치적 분포 중 하나 이상에 기초할 수 있다. 또한, 일부 실시예들에서, 상기 소정의 파라미터는 공칭 값에 대하여 소정의 범위에 기초할 수 있다. 예를 들어, 상기 공칭 값의 6-시그마 또는 3-시그마 내의 소정의 파

라미터를 포함하는 하나 이상의 타일들이 선택될 수 있다.

[0033] 일부 실시예들에서, 상기 타일(105ij)의 소정의 파라미터의 값은 타일(105ij)의 제1 엣지(201)와 타일(105ij)의 대향하는 제2 엣지(202) 사이의 제1 측방향 치수(D1)(예를 들어, 평균 측방향 치수)를 포함할 수 있다. 마찬가지로, 일부 실시예들에서, 상기 타일(105ij)의 상기 소정의 파라미터의 값은 상기 타일(105ij)의 제3 엣지(203)와 상기 타일(105ij)의 대향하는 제4 엣지(204) 사이의 제2 측방향 치수(D2)(예를 들어, 평균 측방향 치수)를 포함할 수 있다. 일부 실시예들에서, 상기 타일(105ij)의 상기 소정의 파라미터의 값은 상기 제1 측방향 치수(D1)에 대하여 상기 제1 엣지(201)의 최대 위치(201a)와 상기 제1 측방향 치수(D1)에 대하여 상기 제1 엣지(201)의 최소 위치(201b) 사이에 정의되는 상기 타일(105ij)의 상기 제1 엣지(201)의 제1 직진도(D5)를 포함할 수 있다. 일부 실시예들에서, 상기 타일(105ij)의 상기 소정의 파라미터의 값은 상기 제1 측방향 치수(D1)에 대하여 상기 제2 엣지(202)의 최대 위치(202a)와 상기 제1 측방향 치수(D1)에 대하여 상기 제2 엣지(202)의 최소 위치(202b) 사이에 정의되는 상기 타일(105ij)의 상기 제2 엣지(202)의 제2 직진도(D6)를 포함할 수 있다. 일부 실시예들에서, 상기 타일(105ij)의 상기 소정의 파라미터의 값은 상기 제2 측방향 치수(D2)에 대하여 상기 제3 엣지(203)의 최대 위치(203a)와 상기 제2 측방향 치수(D2)에 대하여 상기 제3 엣지(203)의 최소 위치(203b) 사이에 정의된 상기 타일(105ij)의 상기 제3 엣지(203)의 제3 직진도(D7)를 포함할 수 있다. 마찬가지로, 일부 실시예들에서, 상기 타일(105ij)의 상기 소정의 파라미터의 값은 상기 제2 측방향 치수(D2)에 대하여 상기 제4 엣지(204)의 최대 위치(204a)와 상기 제2 측방향 치수(D2)에 대하여 상기 제4 엣지(204)의 최소 위치(204b) 사이에 정의된 상기 타일(105ij)의 상기 제4 엣지(204)의 제4 직진도(D8)를 포함할 수 있다.

[0034] 또한, 일부 실시예들에서, 상기 타일(105ij)의 상기 소정의 파라미터의 값은 상기 타일(105ij)의 제1 대각 치수(D3)와 상기 타일(105ij)의 제2 대각 치수(D4) 사이의 차이로 정의되는 상기 타일(105ij)의 직각도를 포함할 수 있다. 일부 실시예들에서, 상기 제1 대각 치수(D3)는 상기 제1 엣지(201)와 상기 제3 엣지(203)의 교차점에 위치하는 상기 타일(105ij)의 제1 코너(205)와 상기 제2 엣지(202)와 상기 제4 엣지(204)의 교차점에 위치한 상기 타일(105ij)의 제2 코너(206) 사이의 거리로 정의될 수 있다. 마찬가지로, 일부 실시예들에서, 상기 제2 대각 치수(D4)는 상기 제2 엣지(202)와 상기 제3 엣지(203)의 교차점에 위치하는 상기 타일(105ij)의 제3 코너(207)와 상기 제1 엣지(201)와 상기 제4 엣지(204)의 교차점에 위치하는 상기 타일(105ij)의 제4 코너(208) 사이의 거리로 정의될 수 있다. 일부 실시예들에서, 상기 직각도 파라미터는 어떻게 상기 타일(105ij)의 하나 이상의 코너들이 공칭 타일(200)의 하나 이상의 각각의 코너들에 비교되는지의 척도로 정의될 수 있다. 예를 들어, 일부 실시예들에서, 상기 공칭 타일(200)의 하나 이상의 코너들은 90도의 각도를 포함할 수 있으며(예를 들어, 직사각형), 직각도 파라미터는 어떻게 상기 타일(105ij)의 하나 이상의 코너들의 각각의 각도가 90도의 각도에 대하여 비교되는지를 비교할 수 있다. 또한, 일부 실시예들에서, 상기 공칭 타일(200)의 하나 이상의 코너들은 90도가 아닌 각도를 포함할 수 있으며, 상기 직각도 파라미터는 어떻게 상기 타일(105ij)의 하나 이상의 코너들의 각각의 각도가 90도가 아닌 각도에 대하여 비교되는지를 비교할 수 있다.

[0035] 도 3은 복수의 픽셀들(305)을 정의하는 복수의 마이크로-크기의 발광 다이오드들(마이크로LED들)(300)을 포함하는 도 2의 뷰 3에 의해 보여지는 상기 타일(105ij)의 일 부분의 확대도를 도시한다. 명확성의 목적상, 유리 또는 필름(401)(도 4 참조) 및 기관(402)(도 4 참조)은 도 3에 도시되지 않았다. 일부 실시예들에서, 상기 복수의 픽셀들(305) 중 바로 인접한 픽셀들 사이의 측방향 거리(px 및/또는 py)는 픽셀 피치를 정의할 수 있다. 일부 실시예들에서, px는 py와 동일할 수 있으며, 일부 실시예들에서, px는 py와 상이할 수 있다. 일부 실시예들에서, 상기 픽셀 피치(px, py) 중 적어도 하나는 약 50 마이크로미터 내지 약 1000 마이크로미터일 수 있으며, 그 사이의 모든 범위들 및 하위 범위들을 포함한다. 예를 들어, 일부 실시예들에서, 상기 픽셀 피치(px, py) 중 적어도 하나는 약 100 마이크로미터 내지 약 200 마이크로미터, 약 100 마이크로미터 내지 약 300 마이크로미터, 약 100 마이크로미터 내지 약 400 마이크로미터, 약 100 마이크로미터 내지 약 500 마이크로미터, 약 500 마이크로미터 내지 약 600 마이크로미터, 약 600 마이크로미터 내지 약 700 마이크로미터, 약 700 마이크로미터 내지 약 800 마이크로미터, 약 800 마이크로미터 내지 약 900 마이크로미터, 약 900 마이크로미터 내지 약 1000 마이크로미터일 수 있다. 일부 실시예들에서, 상기 픽셀 피치(px, py) 중 적어도 하나는 50 마이크로미터 미만, 예를 들어 그 사이의 모든 범위들 및 하위 범위들을 포함하여 약 0 마이크로미터 내지 약 50 마이크로미터일 수 있거나, 또는 1000 마이크로미터보다 클 수 있으며, 예를 들어, 그 사이의 모든 범위들 및 하위 범위들을 포함하여 약 1 밀리미터 내지 약 3 밀리미터일 수 있다.

[0036] 일부 실시예들에서, 상기 공칭 타일(200)은 그 사이의 모든 범위들 및 하위 범위들을 포함하여 약 10mm 내지 약 100cm 범위 내의 제1 측방향 치수(D1)를 포함할 수 있고, 그 사이의 모든 범위들 및 하위 범위들을 포함하여 약 10mm 내지 약 100cm 범위 내의 제2 측방향 치수(D2)를 포함할 수 있다. 일부 실시예들에서, 상기 제1 측방향 치

수(D1)와 상기 제2 측방향 치수(D2)는 상기 디스플레이 영역을 포함하는 디스플레이 장치가 사용될 수 있는 특정 응용 분야에 기초하여 선택될 수 있다. 예를 들어, 도 2로 돌아가면, 예시적인 실시예에서, 표 1에 제공된 바와 같이 상기 공칭 타일(200)은 약 100.44mm의 제1 측방향 치수(D1) 및 약 178.56mm의 제2 측방향 치수(D2)를 포함할 수 있다. 또한, 상기 공칭 타일과 관련하여, D3는 D4와 동일할 수 있으며, 상기 직각도(D3-D4)는 따라서 0이다. 마찬가지로, 상기 공칭 타일(200)과 관련하여, 상기 엣지 직진도(D5, D6, D7, D8)는 0일 수 있다.

표 1

공칭 타일	값[mm]
D1	100.44
D2	178.56
D3-D4	0
D5, D6, D7, D8	0

또한, 표 2는 약 100.44mm의 상기 제1 측방향 치수(D1) 및 약 178.56mm의 상기 제2 측방향 치수(D2)를 포함하는 공칭 타일(200)에 대하여 50 마이크로미터 내지 500 마이크로미터의 표시된 픽셀 피치들에 대하여 각각의 타일당 각각의 픽셀들의 수를 제공한다.(px는 py와 동일하다)

표 2

픽셀 피치[um]	픽셀들/타일
50	7173827
100	1793457
150	797092
200	448364
250	286953
300	199273
350	146405
400	112091
450	88566
500	71738

또한, 도 1로 돌아가면, 약 100.44mm의 상기 제1 측방향 치수(D1) 및 약 178.56mm의 상기 제2 측방향 치수(D2)를 포함하는 상기 공칭 타일(200)에 대하여, 표 3은 공칭(n) 치수, 공칭(m) 치수, 및 각각의 nxm 어레이들에 대하여 상기 디스플레이 영역(101)의 대응하는 대각 치수를 제공한다.

표 3

어레이	(n) 치수 [mm]	(m) 치수 [mm]	디스플레이 대각[mm]
5x5	502.20	892.80	1023.62
6x6	602.64	1071.36	1229.36
7x7	703.08	1249.92	1435.10
8x8	803.52	1428.48	1638.30
9x9	903.96	1607.04	1844.04
10x10	1004.40	1785.60	2049.78

도 4는 도 3의 4-4 선을 따른 상기 복수의 픽셀들(305)의 픽셀(305xy)의 단면도를 도시하며, 상기 픽셀(305xy)은 상기 복수의 마이크로 LED들(300)을 포함하는 복수의 픽셀들(305)의 하나 이상의 개별적인 픽셀들을 나타낼 수 있다. 일부 실시예들에서, 상기 픽셀(305xy)은 상기 픽셀(305xy)을 정의하는 3개의 마이크로 LED들(예를 들어, 제1 마이크로 LED(405a), 제2 마이크로 LED(405b), 제3 마이크로 LED(405c))을 포함할 수 있다. 예를 들어, 일부 실시예들에서, 마이크로 LED들 중 하나(예를 들어, 제1 마이크로 LED(405a))는 적색 마이크로 LED를 포함할 수 있고, 상기 마이크로 LED들 중 다른 하나(예를 들어, 제2 마이크로 LED(405b))는 녹색 마이크로 LED를 포함할 수 있고, 상기 마이크로 LED들 중 다른 하나(예를 들어, 제3 마이크로 LED(405c))는 청색 마이크로 LED를 포함할 수 있다. 또한, 일부 실시예들에서, 상기 제1 마이크로 LED(405a)는 상기 제1 마이크로 LED의 작

동을 제어하기 위한 제1 전극(403a)을 포함할 수 있고, 상기 제2 마이크로 LED(405b)는 상기 제2 마이크로 LED(405b)의 작동을 제어하기 위한 제2 전극(403b)을 포함할 수 있고, 상기 제3 마이크로 LED(405c)는 상기 제3 마이크로 LED(405c)의 작동을 제어하기 위한 제3 전극(403c)을 포함할 수 있다. 일부 실시예들에서, 상기 픽셀(305xy)은 마이크로 LED들(405a, 405b, 405c)을 전기적으로 제어하고 동작시키기 위한 추가적인 요소들 및 구성들(예를 들어, 박막 트랜지스터들)을 포함할 수 있다. 일부 실시예들에서, 각각의 마이크로LED(405a, 405b, 405c)은 그 사이의 모든 범위들 및 하위 범위들을 포함하여 약 10 마이크로미터 내지 약 200 마이크로미터의 발광 영역을 정의하는 치수를 포함할 수 있다. 예를 들어, 일부 실시예들에서, 각각의 마이크로 LED(405a, 405b, 405c)는 약 10 마이크로미터 내지 약 20 마이크로미터, 약 10 마이크로미터 내지 약 50 마이크로미터, 약 50 마이크로미터 내지 약 100 마이크로미터, 약 100 마이크로미터 내지 약 200 마이크로미터의 발광 영역을 정의하는 치수를 포함할 수 있다.

[0043] 또한, 일부 실시예들에서, 상기 제1 마이크로 LED(405a), 상기 제2 마이크로 LED(405b), 상기 제3 마이크로 LED(405c), 및 각각의 제1 전극(403a), 제2 전극(403b), 및 제3 전극(403c)은 기판(402)에 연결될 수 있다. 일부 실시예들에서, 유리 또는 필름(401)이 상기 기판(402)의 반대편에 제공될 수 있으며, 상기 마이크로 LED들(405a, 405b, 405c) 및 상기 전극들(403a, 403b, 403c)은 상기 유리 또는 필름(401)과 상기 기판(402) 사이에 배치된다. 일부 실시예들에서, 예를 들어 상기 각각의 전극들(403a, 403b, 403c)로 각각의 적색, 녹색, 및 청색 마이크로 LED들(405a, 405b, 405c)에 공급되는 전류를 제어함으로써, 상기 픽셀(305xy)은 추가적인 색 혼합에 기초하여 가시 광의 넓은 색 스펙트럼을 제공할 수 있다. 일부 실시예들에서, 상기 픽셀(305xy)은 단색 발광을 위한 단일한 마이크로LED를 포함할 수 있으며, 색 변환을 통해 컬러 디스플레이가 달성될 수 있다. 마찬가지로, 일부 실시예들에서, 상기 픽셀(305xy)은 본 개시로부터 벗어나지 않으면서 다색 LED로서 제공되는 단일한 마이크로LED, 컬러 필터들을 구비한 하나 이상의 청색 또는 백색 LED들, 또는 본 개시의 실시예들에 따라 광을 방출하도록 마이크로 크기의 다이오드로서 제공되는 다른 반도체 광원들을 포함할 수 있다. 또한, 일부 실시예들에서, 마이크로 LED 들은 예를 들어 표준 발광 다이오드들(LEDs) 및 액정 디스플레이들(LCDs)보다 더 낮은 전력 소비 및 더 높은 콘트라스트 비, 및 예를 들어 유기 발광 다이오드들(OLEDs)보다 더 긴 수명 동작성을 제공할 수 있다.

[0044] 도 2로 다시 돌아가 표 4 내지 표 23을 참조하면, 복수의 타일들은 4개의 상이한 절단 기술들을 사용하여 표 1의 공칭 치수들에 기초하여 절단되었다. 또한, 각각의 타일의 대응하는 소정의 파라미터들(예를 들어, D1-D8)이 측정되고 기록되었다. 상기 소정의 파라미터들의 공칭 값들에 대한 상기 소정의 파라미터들의 측정된 값들의 편차들은 일부 실시예들에서, 각각의 절단 기술의 정확성, 정밀도, 및 공차들에 기인할 수 있다. 또한, 일부 실시예들에서, 상기 복수의 타일들의 각각의 타일의 하나 이상의 엣지들을 절단하기 위해 둘 이상의 상이한 절단 기술들이 사용되었다.

[0045] 예를 들어, 56개의 타일들을 절단하기 위해 표준 반도체 다이싱 쏘우(dicing saw)를 사용하는 제1 절단 기술(절단 기술 1)이 사용되었다. 표 4 내지 표 8은 절단 기술 1에 의해 절단된 각각의 타일의 상기 소정의 파라미터들의 측정된 값들 및 대응하는 빈도를 제공한다. 일부 실시예들에서, 타일들의 총 빈도가 절단 기술 1을 사용하여 절단된 56개의 타일과 다른 경우, 오차 또는 차이에 적어도 기초하여 특정한 측정이 생략될 수 있으며, 이러한 생략은 측정된 값들의 통계적 유의성을 변경시키지 않는 것으로 여겨진다는 것이 이해될 것이다. 특히, 표 4는 절단 기술 1로 절단된 복수의 타일들의 상기 제1 측방향 치수(D1)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 4

[0046]

절단 기술 1	
D1[mm]	빈도
99.999	1
100.000	3
100.001	3
100.002	1
100.004	2
100.005	2
100.006	4
100.007	2
100.008	5
100.009	3

100.010	6
100.011	2
100.012	6
100.013	2
100.014	4
100.015	4
100.016	1
100.017	2
100.019	2
100.023	1

[0047] 표 5는 절단 기술 1로 절단된 복수의 타일들의 상기 제2 측방향 치수(D2)의 측정 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 5

[0048]

절단 기술 1	
D2[mm]	빈도
180.400	5
180.402	6
180.404	1
180.406	4
180.408	6
180.410	10
180.412	9
180.414	8
180.416	3
180.418	1
180.420	2
180.428	1

[0049] 표 6은 절단 기술 1로 절단된 상기 복수의 타일들의 상기 직각도(D3-D4)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 6

[0050]

절단 기술 1	
직각도[mm]	빈도
0.00000	1
0.00025	2
0.00050	1
0.00075	5
0.00100	2
0.00125	3
0.00150	5
0.00175	2
0.00200	4
0.00225	6
0.00250	2
0.00275	3
0.00300	4
0.00325	5
0.00350	1
0.00375	3
0.00400	2
0.00425	1
0.00475	1

0.00550	2
0.00600	1

[0051] 표 7은 절단 기술 1로 절단된 상기 복수의 타일들의 상기 제1 측방향 치수(D1)에 대한 직진도(D5, D6)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 7

[0052]

절단 기술 1	
직진도 D1[mm]	빈도
0.004	1
0.005	7
0.006	13
0.007	14
0.008	16
0.009	16
0.010	6
0.011	8
0.012	6
0.013	6
0.014	7
0.015	1
0.016	4
0.017	2
0.021	1
0.022	1
0.025	1
0.027	1
0.029	1

[0053] 표 8은 절단 기술 1로 절단된 복수의 타일들의 상기 제2 측방향 치수(D2)에 대한 직진도(D7, D8)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 8

[0054]

절단 기술 1	
직진도 D2[mm]	빈도
0.002	1
0.003	25
0.004	22
0.005	22
0.006	11
0.007	9
0.008	7
0.009	4
0.010	1
0.011	4
0.012	2
0.015	1
0.019	1
0.022	1

[0055] 52개의 타일들을 절단하기 위해 MDI Advanced Processing에 의해 제조된 MP500 정밀 기계 스크라이브를 사용하는 제2 절단 기술(절단 기술 2)가 사용되었다. 표 9 내지 표 13은 절단 기술 2에 의해 절단된 각각의 타일의 소정의 파라미터들의 측정된 값들을 제공한다. 일부 실시예들에서, 타일들의 총 빈도가 절단 기술 2를 사용하여 절단된 상기 52개의 타일들과 다른 경우, 적어도 오차 또는 차이에 기초하여 특정한 측정이 생략될 수 있으며,

이러한 생략은 측정된 값들의 통계적 유의성을 변경시키지 않는다고 여겨진다는 것이 이해될 것이다. 특히, 표 9는 제2 절단 기술로 절단된 복수의 타일들의 상기 제1 측방향 치수(D1)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 9

절단 기술 2	
D1[mm]	빈도
100.0045	1
100.0050	1
100.0055	1
100.0060	3
100.0065	6
100.0070	6
100.0075	5
100.0080	2
100.0085	5
100.0090	5
100.0095	3
100.0100	3
100.0105	3
100.0120	1
100.0125	3
100.0150	2
100.0165	1

표 10은 절단 기술 2로 절단된 복수의 타일들의 상기 제2 측방향 치수(D2)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 10

절단 기술 2	
D2[mm]	빈도
179.998	1
180.006	1
180.008	4
180.010	2
180.012	4
180.014	8
180.016	7
180.018	8
180.020	1
180.022	5
180.024	1
180.026	4
180.028	1
180.030	2
180.032	1
180.040	1

표 11은 절단 기술 2로 절단된 상기 복수의 타일들의 직각도(D3-D4)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 11

절단 기술 2	
직각도[mm]	빈도

0.001	4
0.003	2
0.004	3
0.005	4
0.006	8
0.007	7
0.008	8
0.010	5
0.011	6
0.012	2
0.013	1
0.018	1

[0061] 표 12는 절단 기술 2로 절단된 상기 복수의 타일들의 상기 제1 측방향 치수(D1)에 대한 직진도(D5, D6)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 12

[0062]

절단 기술 2	
직진도 D1 [mm]	빈도
0.008	8
0.012	39
0.016	20
0.020	11
0.024	11
0.028	5
0.032	1
0.040	2
0.044	3
0.068	1
0.072	1
0.084	1

[0063] 표 13은 절단 기술 2로 절단된 상기 복수의 타일들의 제2 측방향 치수(D2)에 대한 직진도(D7, D8)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 13

[0064]

절단 기술 2	
직진도 D2 [mm]	빈도
0.0075	15
0.0100	26
0.0125	19
0.0150	12
0.0175	8
0.0200	10
0.0225	4
0.0250	2
0.0275	3
0.0300	1
0.0375	1
0.0425	1
0.0450	1

[0065] 41개의 타일들을 절단하기 위해 비회절 빔 CLT 레이저 절단 공정을 사용하는 제3 절단 기술(절단 기술 3)이 사용되었다. 표 14 내지 표 18은 절단 기술 3에 의해 절단된 각각의 타일의 소정의 파라미터들의 측정된 값들을

제공한다. 일부 실시예들에서, 타일들의 총 빈도가 절단 기술 3을 사용하여 절단된 상기 41개의 타일들과 다른 경우, 적어도 오차 또는 차이에 기초하여 특정한 측정이 생략될 수 있으며, 이러한 생략은 측정된 값들의 통계적 유의성을 변경시키지 않는다고 여겨진다는 것이 이해될 것이다. 특히, 표 14는 절단 기술 3으로 절단된 복수의 타일들의 상기 제1 측방향 치수(D1)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 14

[0066]

절단 기술 3	
D1 [mm]	빈도
100.0070	1
100.0074	1
100.0076	1
100.0078	1
100.0080	1
100.0082	4
100.0084	2
100.0086	4
100.0088	2
100.0090	3
100.0092	4
100.0094	4
100.0096	3
100.0098	1
100.0100	1
100.0102	2
100.0106	2
100.0110	1
100.0112	1
100.0114	1
100.0116	1

[0067]

표 15는 절단 기술 3으로 절단된 상기 복수의 타일들의 상기 제2 측방향 치수(D2)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 15

[0068]

절단 기술 3	
D2 [mm]	빈도
179.990	2
179.994	3
180.002	9
180.006	6
180.010	12
180.014	2
180.034	7

[0069]

표 16은 절단 기술 3으로 절단된 상기 복수의 타일들의 직각도(D3-D4)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 16

[0070]

절단 기술 3	
직각도 [mm]	빈도
0.0006	2
0.0014	1
0.0018	2
0.0022	2

0.0030	2
0.0034	2
0.0038	2
0.0042	2
0.0050	1
0.0054	1
0.0058	3
0.0062	3
0.0066	2
0.0070	4
0.0090	1
0.0094	1
0.0102	1
0.0106	4
0.0110	1
0.0118	2
0.0122	2

[0071] 표 17은 절단 기술 3으로 절단된 상기 복수의 타일들의 상기 제1 측방향 치수(D1)에 대한 직진도(D5, D6)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 17

[0072]

절단 기술 3	
직진도 D1 [mm]	빈도
0.009	12
0.012	20
0.015	5
0.018	7
0.021	5
0.024	7
0.027	3
0.030	2
0.033	3
0.036	2
0.039	5
0.042	1
0.045	2
0.048	3
0.051	1
0.057	3
0.063	1

[0073] 표 18은 절단 기술 3으로 절단된 상기 복수의 타일들의 상기 제2 측방향 치수(D2)에 대한 직진도(D7, D8)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 18

[0074]

절단 기술 3	
직진도 D2 [mm]	빈도
0.004	3
0.006	18
0.008	12
0.010	6
0.012	11
0.014	8
0.016	3

0.018	6
0.020	3
0.022	3
0.024	2
0.026	4
0.028	2
0.036	1

[0075] 48개의 타일들을 절단하기 위해 정밀 스크라이브(scribe) 및 브레이크(break) 공정을 사용하는 TLC International Phoneix 브랜드(예를 들어, Gen-3, Gen-5) 기계적 유리 절단 기계 도구를 사용하는 제4 절단 기술(절단 기술 4)이 사용되었다. 표 19 내지 표 23은 절단 기술 4에 의해 절단된 각각의 타일의 소정의 파라미터들의 측정된 값들을 제공한다. 일부 실시예들에서, 타일들의 총 빈도가 절단 기술 4를 사용하여 절단된 상기 48개의 타일들과 다른 경우, 적어도 오차 또는 차이에 기초하여 특정한 측정이 생략될 수 있으며, 이러한 생략은 측정된 값들의 통계적 유의성을 변경시키지 않는다고 여겨진다는 것이 이해될 것이다. 특히, 표 19는 절단 기술 4로 절단된 복수의 타일들의 상기 제1 측방향 치수(D1)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 19

[0076]

절단 기술 4	
D1 [mm]	빈도
99.90	1
99.93	12
99.94	10
99.97	1
100.03	1
100.12	2
100.13	15
100.14	6

[0077] 표 20은 절단 기술 4로 절단된 상기 복수의 타일들의 상기 제2 측방향 치수(D2) 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 20

[0078]

절단 기술 4	
D2 [mm]	빈도
179.93	2
179.94	11
179.95	6
179.96	1
179.98	1
179.99	1
180.09	1
180.11	1
180.13	1
180.14	4
180.15	15

[0079] 표 21은 절단 기술 4로 절단된 상기 복수의 타일들의 상기 직각도(D3-D4)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 21

[0080]

절단 기술 4	
직각도 [mm]	빈도

0.002	1
0.003	3
0.004	2
0.005	1
0.006	3
0.007	2
0.008	3
0.009	5
0.011	1
0.012	3
0.013	4
0.014	4
0.015	5
0.016	4
0.017	2
0.022	1

[0081] 표 22는 절단 기술 4로 절단된 상기 복수의 타일들의 상기 제1 측방향 치수(D1)에 대한 직진도(D5, D6)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 22

[0082]

절단 기술 4	
직진도 D1 [mm]	빈도
0.036	2
0.038	1
0.042	4
0.044	4
0.046	7
0.048	7
0.050	11
0.052	7
0.054	5
0.056	5
0.058	5
0.060	4
0.062	4
0.064	8
0.066	2
0.068	4
0.070	5
0.072	2
0.076	1
0.078	1

[0083] 표 23은 절단 기술 4로 절단된 상기 복수의 타일들의 상기 제2 측방향 치수(D2)에 대한 상기 직진도(D7, D8)의 측정된 값들 및 상기 측정된 값들의 대응하는 빈도를 제공한다.

표 23

[0084]

절단 기술 4	
직진도 D2 [mm]	빈도
0.020	2
0.025	2
0.030	2
0.035	2
0.040	3

0.045	9
0.050	14
0.055	14
0.060	8
0.065	11
0.070	6
0.075	3
0.080	4
0.085	3
0.090	1
0.095	2
0.105	1
10.125	1
0.130	1

[0085] 표 4 내지 표 23의 측정된 값들을 사용하여, 각각의 무작위적으로 생성된 타일이 상기 측정된 값들을 통계적으로 나타내는 소정의 파라미터들(D1-D8)을 포함하는, 복수의 타일들을 무작위적으로 생성하도록 컴퓨터 시뮬레이션이 실시되었다. 예를 들어, 측정된 값들을 사용함으로써, 통계적으로 큰 수의 타일들을 물리적으로 절단하고 생산하지 않으면서, 타일들을 물리적으로 절단함으로써 생성될 수 있는 통계적으로 큰 수의 타일들의 소정의 파라미터들을 정확하게 나타내는 통계적으로 큰 수의 타일들(예를 들어, 100,000 타일들, 250,000 타일들, 500,000 타일들, 1,000,000 타일들, 10,000,000 타일들, 100,000,000 타일들 등)을 컴퓨터 시뮬레이션이 무작위적으로 생성할 수 있다. 일부 실시예들에서, 각각의 절단 기술(예를 들어, 절단 기술들 1 내지 4)의 각각의 소정의 파라미터(예를 들어, 제1 측방향 치수(D1), 제2 측방향 치수(D2), 직각도(D3-D4), D1 직진도(D5, D6), 및 D2 직진도(D7, D8))의 측정된 값들은 통계적으로 큰 수의 타일들의 소정의 파라미터들의 값들이 무작위적으로 생성될 수 있는 통계적 분포와 수치적으로 피팅될 수 있다. 특히, 식 1은 상기 통계적의 큰 수의 타일들의 소정의 파라미터들 중 일부가 측정된 값들에 기초하여 결정될 수 있는 정규(가우시안) 분포 및 관련된 변수들을 제공한다:

수학식 1

$$y(x) = \frac{A}{\sqrt{2\pi\sigma^2}} e^{-\frac{(x-\mu)^2}{2\sigma^2}}$$

μ = 평균

σ = SD

$A = n \cdot a$

n = 샘플들의 수

a = 값들 사이의 증분

[0086]

[0087] 유사하게, 표 2는 상기 통계적으로 큰 수의 타일들의 상기 소정의 파라미터들 중 일부가 측정된 값들에 기초하여 결정될 수 있는 결합된 정규(가우시안) 분포 및 관련된 변수들을 제공한다:

수학식 2

$$y(x) = \frac{A_1}{\sqrt{2\pi\sigma_1^2}} e^{-\frac{(x-\mu_1)^2}{2\sigma_1^2}} + \frac{A_2}{\sqrt{2\pi\sigma_2^2}} e^{-\frac{(x-\mu_2)^2}{2\sigma_2^2}}$$

μ_1 = 평균, 왼쪽

μ_2 = 평균, 오른쪽

σ_1 = SD, 왼쪽

σ_2 = SD, 오른쪽

$A_1 = n_1 \cdot a_1$

n_1 = 샘플들의 수, 왼쪽

a_1 = 값들 사이의 증분, 왼쪽

$A_2 = n_2 \cdot a_2$

n_2 = 샘플들의 수, 오른쪽

a_2 = 값들 사이의 증분, 오른쪽

[0088]

[0089]

유사하게, 표 3은 상기 통계적으로 큰 수의 타일들의 상기 소정의 파라미터들 중 일부가 상기 측정된 값들에 기초하여 결정될 수 있는 대수 정규 분포 및 관련된 변수들을 제공한다.

수학식 3

$$y(x) = \frac{A}{x\sigma\sqrt{2\pi}} e^{-\frac{(\ln x - \mu)^2}{2\sigma^2}}$$

$$\mu = \ln \left(\frac{m}{\sqrt{1 + \frac{v}{m^2}}} \right)$$

$$\sigma = \sqrt{\ln \left(1 + \frac{v}{m^2} \right)}$$

m = 평균

v = 분산 = SD^2

$A = n \cdot a$

n = 샘플들의 수

a = 값들 사이의 증분

[0090]

[0091]

따라서, 일부 실시예들에서, 상기 통계적으로 큰 수의 타일들의 각각의 타일에 대하여 소정의 파라미터들을 무작위적으로 생성하기 위해 각각의 절단 기술들 1 내지 4에 의해 절단된 상기 타일들의 각각의 상기 소정의 파라미터들(D1-D8)의 상기 측정된 값들과 함께 데이터의 분포에 따라 식 1 내지 3 중 하나가 사용되었다. 예를 들어, 표 24 내지 표 43은 표 4 내지 표 23의 측정된 값들에 기초하여 결정되었으며 절단 기술들 1 내지 4의 상기 통계적으로 큰 수의 무작위적으로 생성된 타일들의 각각의 타일에 대한 소정의 파라미터들을 계산하기 위해 식 1 내지 3 중 하나와 함께 사용되는 계산된 변수들을 제공한다. 계산의 목적 상, 타일의 모든 엣지들이 동일한 분포를 가진다는 것이 가정된다; 그러나, 일부 실시예들에서, 타일들의 하나 이상의 엣지들은 상이한 분포들을 가질 수 있으며 하나 이상의 상이한 절단 기술들 또는 엣지 가공 기술들(예를 들어, 그라인딩, 폴리싱)에 의해 제공될 수 있다는 것이 가정된다. 특히, 식 1에 기초하여 무작위적으로 생성된 소정의 파라미터들의 경우,

각각의 변수들이 측정된 값들 및 대응하는 정규 분포 및 관련된 값들에 기초하여 계산된 각각의 변수들을 보여주는 표에 "(정규)"라는 용어가 나열된다. 마찬가지로, 식 2에 기초하여 무작위적으로 생성된 소정의 파라미터들의 경우, 상기 측정된 값들 및 대응하는 결합 정규 분포 및 관련된 변수들에 기초하여 계산된 각각의 변수들을 보여주는 표에 "(결합)"이라는 용어가 나열된다. 유사하게, 식 3에 기초하여 무작위적으로 생성된 소정의 파라미터들의 경우, 상기 측정된 값들 및 대응하는 대수 정규 분포 및 관련된 변수들에 기초하여 계산된 각각의 변수들을 보여주는 표에 "대수"라는 용어가 나열된다.

[0092] 특히, 표 24 내지 표 28은 표 4 내지 표 8의 측정된 값들(예를 들어, 제1 측방향 치수(D1), 제2 측방향 치수(D2), 직각도(D3-D4), D1 직진도(D5, D6), D2 직진도(D7, D8))에 기초하여 각각 결정되며 절단 기술 1의 상기 통계적으로 큰 수의 타일들의 각각의 타일에 대한 상기 소정의 파라미터들을 무작위적으로 생성하기 위해 식 1 내지 3 중 하나와(식별된 바와 같이) 함께 사용된 계산된 값들을 제공한다.

표 24

[0093]

절단 기술 1	
D1 (정규)	
A	0.061701
μ	100.010497
σ	0.004673
n	56
증분	0.001

표 25

[0094]

절단 기술 1	
D2 (정규)	
A	0.084304
μ	180.410749
σ	0.003399
n	56
증분	0.002

표 26

[0095]

절단 기술 1	
직각도 (정규)	
A	0.014192
μ	0.002345
σ	0.001371
n	56
증분	0.00025

표 27

[0096]

절단 기술 1	
직진도 D1 (대수)	
A	0.105273
μ	-4.774432
σ	0.323590
n	112
증분	0.001

표 28

절단 기술 1	
직진도 D2 (대수)	
A	0.105789
μ	-5.368067
σ	0.412470
n	111
증분	0.001

[0097]

[0098]

또한, 표 29 내지 표 33은 표 9 내지 표 13의 측정된 값들(예를 들어, 제1 측방향 치수(D1), 제2 측방향 치수(D2), 직각도(D3-D4), D1 직진도(D5, D6), 및 D2 직진도(D7, D8))에 기초하여 각각 결정되며 절단 기술 2의 상기 통계적으로 큰 수의 타일들의 각각의 타일에 대하여 소정의 파라미터들을 무작위적으로 생성하기 위해 식 1 내지 식 3 중 하나와(식별되는 바와 같이) 함께 사용되는 계산된 값들을 제공한다.

표 29

절단 기술 2	
D1 (정규)	
A	0.023591
μ	100.007895
σ	0.001783
n	51
증분	0.0005

[0099]

표 30

절단 기술 2	
D2 (정규)	
A	0.099161
μ	180.017120
σ	0.005532
n	51
증분	0.002

[0100]

표 31

절단 기술 2	
직각도 (정규)	
A	0.049845
μ	0.007627
σ	0.002713
n	51
증분	0.001

[0101]

표 32

절단 기술 2	
직진도 D1 (대수)	
A	0.289375
μ	-4.230247
σ	0.322271
n	103
증분	0.004

[0102]

표 33

절단 기술 2	
직진도 D2 (대수)	
A	0.239993
μ	-4.400247
σ	0.402618
n	103
증분	0.0025

[0103]

[0104]

또한, 표 34 내지 표 38은 표 14 내지 표 18의 측정된 값들(예를 들어, 제1 측방향 치수(D1), 제2 측방향 치수(D2), 직각도(D3-D4), D1 직진도(D5, D6), 및 D2 직진도(D7, D8))에 기초하여 각각 결정되며 절단 기술 3의 상기 통계적으로 큰 수의 타일들의 각각의 타일에 대하여 소정의 파라미터들을 무작위적으로 생성하기 위해 식 1 내지 식 3 중 하나와(식별되는 바와 같이) 함께 사용되는 계산된 값들을 제공한다.

표 34

절단 기술 3	
D1 (정규)	
A	0.007848
μ	100.009255
σ	0.001012
n	41
증분	0.0002

[0105]

표 35

절단 기술 3	
D2 (정규)	
A	0.097189
μ	180.008736
σ	0.002953
n	41
증분	0.004

[0106]

표 36

절단 기술 3	
직각도 (정규)	
A	0.024709
μ	0.003598
σ	0.004925
n	41
증분	0.0004

[0107]

표 37

절단 기술 3	
직진도 D1 (대수)	
A	0.194481
μ	-3.975518
σ	0.614340
n	82

[0108]

증분	0.003
----	-------

표 38

[0109]

절단 기술 3	
직진도 D2 (대수)	
A	0.155278
μ	-4.477293
σ	0.508459
n	82
증분	0.002

[0110]

또한, 표 39 내지 표 43은 표 19 내지 표 23의 측정된 값들(예를 들어, 제1 측방향 치수(D1), 제2 측방향 치수(D2), 직각도(D3-D4), D1 직진도(D5, D6), 및 D2 직진도(D7, D8))에 기초하여 각각 결정되며 절단 기술 4의 상기 통계적으로 큰 수의 타일들의 각각의 타일에 대하여 소정의 파라미터들을 무작위적으로 생성하기 위해 식 1 내지 식 3 중 하나와(식별되는 바와 같이) 함께 사용되는 계산된 값들을 제공한다.

표 39

[0111]

절단 기술 4	
D1 (결합)	
A1	0.084886
A2	0.172186
μ 1	99.930012
μ 2	100.127675
σ 1	0.002822
σ 2	0.003806
n	48
증분	0.01

표 40

[0112]

절단 기술 4	
D2 (결합)	
A1	0.081416
A2	0.136028
μ 1	179.939839
μ 2	180.152107
σ 1	0.002948
σ 2	0.002348
n	44
증분	0.01

표 41

[0113]

절단 기술 4	
직각도 (정규)	
A	0.046461
μ	0.011593
σ	0.004478
n	44
증분	0.001

표 42

절단 기술 4	
직진도 D1 (대수)	
A	0.168655
μ	-2.931805
σ	0.208692
n	89
중분	0.002

[0114]

표 43

절단 기술 4	
직진도 D2 (대수)	
A	0.424900
μ	-2.857647
σ	0.215864
n	89
중분	0.005

[0115]

[0116]

또한, 일부 실시예들에서, 다양한 크기의 ($n \times m$) 어레이들로의 무작위적으로 생성된 소정의 파라미터들(D1 내지 D8)을 포함하는 상기 통계적으로 큰 수의 타일들의 조립을 모사하기 위해 추가적인 컴퓨터 시뮬레이션이 실시될 수 있다. 일부 실시예들에서, 디스플레이 영역을 조립하는 실용적인 방법들이 컴퓨터 시뮬레이션에 의해 얻어진 정보에 기초한 하나 이상의 전략들과 함께 사용될 수 있다. 아래 보다 상세히 논의되는 바와 같이, 일부 실시예들에서, 상기 하나 이상의 전략들을 사용하는 것은 상기 하나 이상의 전략들을 사용하지 않고서는 얻을 수 없는 어레이로의 상기 복수의 타일들의 조립 및 배치와 관련한 하나 이상의 장점들을 제공할 수 있다.

[0117]

예를 들어, 일부 실시예들에서, 컴퓨터 시뮬레이션은 다양한 어레이들 중 하나로의 각각의 무작위적으로 생성된 타일들의 조립을 모사할 수 있다. 일부 실시예들에서, 각각의 타일은 전역 배치 방법에 기초하여 상기 어레이 내에 배치될 수 있으며, 이 경우 상기 타일의 배치는 다른 타일들의 상대적인 배치와 무관하게 소정의 전역 공간 좌표에 기초한다. 대안적으로, 일부 실시예들에서, 각각의 타일은 상대 배치 방법에 기초하여 상기 어레이로 배치될 수 있으며, 이 경우 상기 타일의 배치는 상기 타일의 전역 공간 좌표에 무관하게 무관하게 바로 인접한 타일들(즉, 사이의 다른 타일들 없이 서로의 바로 옆에 배치된 하나 이상의 타일들)의 상대적인 배치에 기초한다. 또한, 일부 실시예들에서, 상기 전역 배치 방법 또는 상기 상대 배치 방법과 함께 사용되었는지와 무관하게, 시뮬레이션 동안, 타일이 하나 이상의 바로 인접한 타일들에 대하여 중첩 관계로 배치되는 경우, 상기 타일이 상기 하나 이상의 바로 인접한 타일들에 대하여 비중첩 관계로 상기 어레이 내에 배치되도록 시뮬레이션은 상기 하나 이상의 바로 인접한 타일들에 대한 상기 타일의 위치를 선택적으로 조절할 수 있다.

[0118]

도 5를 참조하면, 상기 디스플레이 영역(101) 및 상기 디스플레이 장치(100)의 하나 이상의 특징들이 단독으로 또는 상기 디스플레이 영역(501) 및 상기 디스플레이 장치(500)의 하나 이상의 특징들과 함께 제공될 수 있다는 이해와 함께 디스플레이 장치(500)의 디스플레이 영역(510)을 조립하는 방법들이 이제 설명될 것이다. 상기 디스플레이 영역(510)을 조립하는 방법들이 컴퓨터 시뮬레이션 및/또는 본 개시의 실시예들에 따른 하나 이상의 디스플레이 장치(500)에 사용되는 디스플레이 영역(510)을 조립하기 위한 실제 방법으로서 사용될 수 있다는 것이 이해될 것이다.

[0119]

일부 실시예들에서, 상기 방법은 복수의 타일들(505)(예를 들어, 제1 타일(501), 제2 타일(502), 제3 타일(503), 및 제4 타일(504))을 제공하는 단계를 포함할 수 있으며, 상기 복수의 타일들(505)의 각각의 타일(501, 502, 503, 504)은 하나 이상의 소정의 파라미터들(도 2 참조, 소정의 파라미터들(D1 내지 D8)) 및 복수의 픽셀들을 정의하는 복수의 마이크로 LED들(도 3 참조, 복수의 픽셀들(305), 복수의 마이크로LED들(300) 및 도 5 마이크로 LED들(405a, 405b, 405c))을 포함하여 상기 복수의 타일들(105)의 상기 타일(105_{ij})의 하나 이상의 특징들을 포함할 수 있다는 것이 이해될 것이다. 또한, 4개의 타일들(501, 502, 503, 504)이 도시되었으나, 일부 실시예들에서, 상기 복수의 타일들(505)은 4보다 많은 타일들을 포함할 수 있다는 것이 이해될 것이다. 예를 들어, 일부 실시예들에서, 상기 복수의 타일들(505)은 디스플레이 영역(510)을 정의하는 5x5 어레이로 조립된 25개의 타일들, 상기 디스플레이 영역(510)을 정의하는 6x6 어레이로 조립된 36개의 타일들, 상기 디스플레이

영역(510)을 정의하는 7x7 어레이로 조립된 49개의 타일들, 상기 디스플레이 영역(510)을 정의하는 8x8 어레이로 조립된 64개의 타일들, 상기 디스플레이 영역(510)을 정의하는 9x9 어레이로 조립된 81개의 타일들, 상기 디스플레이 영역(510)을 정의하는 10x10 어레이로 조립된 100개의 타일들, 또는 본 개시의 범위로부터 벗어나지 않으면서 nxm 어레이(도 1 참조)로 조립된 임의의 다른 수의 타일들을 포함할 수 있다. 일부 실시예들에서, n은 m과 동일할 수 있으며(예를 들어, 5x5 어레이, 6x6 어레이, 7x7 어레이 등), 일부 실시예들에서, n과 m은 상이할 수 있다(예를 들어, 5x6 어레이, 6x8 어레이, 7x10 어레이 등).

[0120] 도 5로 돌아가면, 일부 실시예들에서, 상기 제1 타일(501)의 제1 엣지(501a)로부터 이격된 상기 제1 타일(501)의 적어도 하나의 제1 외부 픽셀(521a)과 상기 제2 타일(502)의 제2 엣지(502a)로부터 이격된 상기 제2 타일(502)의 적어도 하나의 제2 외부 픽셀(522a) 사이의 측방향 거리(512)는 레지스트레이션 피치(registration pitch)(512)를 정의할 수 있다. 마찬가지로, 일부 실시예들에서, 상기 제1 타일(501)의 제2 엣지(501b)로부터 이격된 상기 제1 타일(501)의 적어도 하나의 제1 외부 픽셀(521b)과 상기 제3 타일(503)의 제2 엣지(503b)로부터 이격된 상기 제3 타일(503)의 적어도 하나의 제2 외부 픽셀(523b) 사이의 측방향 거리(513)는 레지스트레이션 피치(513)를 정의할 수 있다. 일부 실시예들에서, 상기 레지스트레이션 피치(512)는 상기 제1 타일(501)의 상기 제1 엣지(501a)로부터 상기 적어도 하나의 제1 외부 픽셀(521a)의 제1 측방향 오프셋(531a), 상기 제2 타일(502)의 상기 제2 엣지(502a)로부터 상기 적어도 하나의 제2 외부 픽셀(522a)의 제2 측방향 오프셋(532a), 및 상기 제1 타일(501)의 상기 제1 엣지(501a)와 상기 제2 타일(502)의 상기 제2 엣지(502a) 사이의 공간(예를 들어, 갭(534))에 기초하여 정의될 수 있다. 마찬가지로, 일부 실시예들에서, 상기 레지스트레이션 피치(513)는 상기 제1 타일(501)의 상기 제2 엣지(501b)로부터 상기 적어도 하나의 제1 외부 픽셀(521b)의 제1 측방향 오프셋(531b), 상기 제3 타일(503)의 상기 제2 엣지(503b)로부터의 상기 적어도 하나의 제2 외부 픽셀(523b)의 제2 측방향 오프셋(533b), 및 상기 제1 타일(501)의 상기 제2 엣지(501b)와 상기 제3 타일(503)의 상기 제2 엣지(503b) 사이의 공간(예를 들어, 갭(535))기초하여 정의될 수 있다. 일부 실시예들에서, 상기 측방향 오프셋들(531a, 532a, 531b, 및 533b)은 각각의 외부 픽셀들의 중심으로부터 절단 엣지가 상기 각각의 외부 픽셀들의 전자적 작동을 방해하지 않도록 선택된 상기 타일의 절단 엣지의 가장 가까운 위치까지의 각각의 거리로 정의될 수 있다. 또한, 추가적인 타일들이 어레이로 조립될 때, 각각의 레지스트레이션 피치들은 추가적인 타일들의 바로 인접한 타일들의 바로 인접한 외부 픽셀들 사이에 정의될 수 있다.

[0121] 일부 실시예들에서, 상기 타일들(501, 502, 503)의 바로 인접한 엣지들(엣지(501a)와 엣지(502a), 엣지(501b)와 엣지(503b))사이의 접촉을 방지하도록 상기 갭(534, 535)은 선택될 수 있다. 일부 실시예들에서, 상기 타일들(501, 502, 503)의 바로 인접한 엣지들 사이의 접촉을 방지하는 것은 바로 인접한 엣지들이 접촉하는 경우 발생할 수 있는 바로 인접한 엣지들의 칩핑(chipping), 크랙킹, 파손, 및 다른 손상을 방지할 수 있다. 예를 들어, 일부 실시예들에서, 상기 갭(534, 535)은 그 사이의 모든 범위들 및 하위 범위들을 포함하여 약 5 마이크로미터 내지 약 200 마이크로미터일 수 있다. 예를 들어, 일부 실시예들에서, 상기 갭(534, 535)은 약 5 마이크로미터 내지 약 50 마이크로미터, 약 50 마이크로미터 내지 약 100 마이크로미터, 약 100 마이크로미터 내지 약 200 마이크로미터일 수 있다. 또한, 일부 실시예들에서, 상기 갭(534, 535)은 상기 공칭 타일(200)(도 2 참조)의 대응하는 값으로부터 상기 소정의 파라미터들(예를 들어, 제1 측방향 치수(D1), 제2 측방향 치수(D2), 직각도(D3-D4), D1 직진도(D5, D6), 및 D2 직진도(D7, D8))의 편차에 기초하여 상기 타일들(501, 502, 503)의 각각의 바로 인접한 엣지들(엣지(501a)와 엣지(502a), 엣지(501b)와 엣지(503b))을 따라 변화할 수 있다.

[0122] 일부 실시예들에서, 관련된 전자 장치들(예를 들어, 박막 트랜지스터들, 배선) 및 마이크로 LED들을 포함하는 상기 적어도 하나의 외부 픽셀들(521a, 522a, 521b, 523b)이 관련된 전자 장치들 및 마이크로 LED들을 포함하는 상기 적어도 하나의 외부 픽셀들(521a, 522a, 521b, 523b)이 상기 타일들(501, 502, 503)의 상기 각각의 엣지들(501a, 502a, 501b, 503b)과 맞닿는 경우 발생할 수 있는 예를 들어 전기적 또는 기계적 손상으로부터 상기 마이크로 LED들을 보호하도록 상기 타일들(501, 502, 503)의 상기 각각의 엣지들(501a, 502a, 501b, 503b)로부터 일정 거리 이격되도록 상기 측방향 오프셋들(531a, 532a, 531b, 533b)이 각각의 타일(501, 402, 403)에 제공될 수 있다. 일부 실시예들에서, 상기 측방향 오프셋들(531a, 532a, 531b, 533b)은 그 사이의 모든 범위들 및 하위 범위들을 포함하여 약 0.02 mm 내지 약 0.6mm 범위일 수 있다. 예를 들어, 일부 실시예들에서, 상기 측방향 오프셋들(531a, 532a, 531b, 533b)은 약 0.02mm 내지 약 0.05mm, 약 0.05mm 내지 약 0.1mm, 약 0.1mm 내지 약 0.2mm, 약 0.2mm 내지 약 0.3mm, 약 0.3mm 내지 약 0.4mm, 약 0.4mm 내지 약 0.5mm, 약 0.5mm 내지 약 0.6mm일 수 있다.

[0123] 일부 실시예들에서, 디스플레이 장치의 디스플레이 영역을 정의하는 어레이로 조립된 모든 바로 인접한 타일들에 관련하여 소정의 레지스트레이션 피치를 정의하는 것은 예를 들어 상기 소정의 레지스트레이션 피치보다 작

거나 같은 레지스트레이션 피치가 수용 가능한 것으로 간주되고 상기 소정의 레지스트레이션 피치보다 큰 레지스트레이션 피치들이 수용 불가능한 것으로 간주될 수 있는 기준을 제공할 수 있다. 일부 실시예들에서, 수용 가능한 레지스트레이션 피치들은 시작적으로 균일한, 경계가 없는 디스플레이 영역에 대응할 수 있으며, 어레이로 조립된 모든 바로 인접한 개별적인 타일들의 경계들 및 그들 사이는 상기 디스플레이 영역을 정의하는 복수의 픽셀들을 보는 육안으로 시작적으로 식별 불가능하다. 대안적으로, 일부 실시예들에서, 수용 불가능한 레지스트레이션 피치들은 어레이로 조립되는 하나 이상의 바로 인접한 개별적인 타일들의 경계들 및 그들 사이가 상기 디스플레이 영역을 정의하는 상기 복수의 픽셀들을 보는 육안으로 시작적으로 식별 가능한 디스플레이 영역에 대응할 수 있다.

[0124] 예를 들어, 일부 실시예들에서, 디스플레이 영역의 수용 불가능한 어레이는 상기 소정의 레지스트레이션 피치보다 큰 측방향 치수로 이격된 바로 인접한 타일들의 하나 이상의 바로 인접한 외부 픽셀들을 포함하는 어레이로 정의될 수 있다. 마찬가지로, 일부 실시예들에서, 디스플레이 영역의 수용 가능한 어레이는 모든 바로 인접한 타일들의 바로 인접한 외부 픽셀들이 상기 소정의 레지스트레이션 피치보다 작거나 같은 측방향 거리로 이격된 어레이로 정의될 수 있다. 일부 실시예들에서, 실패(예를 들어, 어레이로 상기 타일들의 조립을 모사하는 컴퓨터 시뮬레이션 동안)는 수용 불가능한 디스플레이 영역의 시뮬레이션된 발생으로 정의될 수 있다. 마찬가지로, 일부 실시예들에서, 실패율(예를 들어, 어레이로 타일들의 조립을 모사하는 컴퓨터 시뮬레이션 동안)은 수용 가능한 디스플레이 영역의 모사된 발생에 대한 수용 불가능한 디스플레이 영역의 모사된 발생의 비로 정의될 수 있다. 예를 들어, 일부 실시예들에서, 어레이로의 타일들의 조립을 모사하는 컴퓨터 시뮬레이션과 관련하여, 100%의 실패율은 모든 모사된 어레이들이 수용 불가능한 디스플레이 영역을 포함한 시뮬레이션에 대응할 수 있으며, 0% 실패율은 모든 모사된 어레이들이 수용 가능한 디스플레이 영역을 포함한 시뮬레이션에 대응할 수 있다.

[0125] 일부 실시예들에서, 상기 레지스트레이션 피치(512, 513)는 상기 픽셀 피치(도 3 참조, 픽셀 피치(px, py))의 약 1.5 배 이하일 수 있다. 또한, 일부 실시예들에서, 상기 레지스트레이션 피치(512, 513)는 픽셀 피치(px, py)의 약 1.4 배 이하, 픽셀 피치(px, py)의 약 1.3 배 이하, 픽셀 피치(px, py)의 약 1.25 배 이하, 픽셀 피치(px, py)의 약 1.2 배 이하, 또는 픽셀 피치(px, py)의 약 1.1 배 이하일 수 있다. 또한, 일부 실시예들에서, 상기 레지스트레이션 피치(512, 513)는 픽셀 피치(px, py)의 약 1.01배 이하, 또는 상기 픽셀 피치(px, py) 이하일 수 있다. 일부 실시예들에서, 상기 레지스트레이션 피치(512)는 상기 레지스트레이션 피치(513)와 상이할 수 있다. 마찬가지로, 일부 실시예들에서, 상기 레지스트레이션 피치(512)는 픽셀 피치(px) 및 픽셀 피치(py) 중 적어도 하나에 기초할 수 있으며, 상기 레지스트레이션 피치(513)는 픽셀 피치(px) 및 픽셀 피치(py) 중 적어도 하나에 기초할 수 있다. 일부 실시예들에서, 레지스트레이션 피치(512)는 레지스트레이션 피치(513)에 대하여 동일하거나 상이한 비율로 픽셀 피치(px, py) 중 적어도 하나에 기초할 수 있다. 일부 실시예들에서, 상기 레지스트레이션 피치(512, 513)는 상기 디스플레이 영역이 사용되는 응용 분야를 포함하나 이에 제한되지 않는 하나 이상의 추가적인 요소들에 기초하여 선택될 수 있다. 일부 실시예들에서, 상기 픽셀 피치(px, py)에 기초하여 상기 레지스트레이션 피치(512, 513)를 정의하는 것은 본 개시의 실시예들에 따른 하나 이상의 디스플레이 장치들에 사용되는 고품질의 시각적으로 매력적인 디스플레이를 제공하는 균일한, 경계가 없는 픽셀들의 어레이로서 육안에 보이는 대응하는 디스플레이 영역을 제공할 수 있다.

[0126] 도 6, 도 7, 표 44, 및 표 45를 참조하면, 절단 기술 1 내지 4의 차이를 비교하기 위해 예시적인 컴퓨터 시뮬레이션이 사용되었다. 특히, 컴퓨터 시뮬레이션은 다수의 각각의 디스플레이 영역들을 정의하는 다수의 어레이들로 소정의 파라미터들(D1 내지 D8)의 무작위적으로 발생된 값들을 포함하는 통계적으로 큰 수의 타일들의 조립을 모사하였다. 상기 컴퓨터 시뮬레이션에서, 대응하는 픽셀 피치(px, py)의 1.1배보다 큰 레지스트레이션 피치들에 대하여 정의된 실패 기준과 상대 배치 방법이 사용되었다.

[0127] 도 6은 본 개시의 실시예들에 따른 각각의 절단 기술 1 내지 4에 대하여 50 마이크로미터의 측방향 오프셋을 가지는 복수의 타일들을 포함하는 디스플레이 영역들의 모사된 조립에 기초한 예시적인 플롯을 도시하며, 수직 또는 Y 축은 퍼센트(%)로 실패율을 나타내고, 수평 또는 X 축은 마이크로미터(μm) 단위의 픽셀 피치를 나타낸다. 또한, 표 44는 50 마이크로미터 내지 500 마이크로미터 범위의 픽셀 피치들에 대하여 정의된 실패 기준에 대하여 각각의 절단 기술 1 내지 4에 대하여 도 6에 도시된 플롯이 기초하는 데이터를 제공하며, 선(601a)은 절단 기술 1의 관련 실패율을 나타내고, 선(602a)은 절단 기술 2의 관련 실패율을 나타내고, 선(603a)은 절단 기술 3의 관련 실패율을 나타내고, 선(604a)은 절단 기술 4의 관련 실패율을 나타낸다.

표 44

디스플레이 영역 어레이 조립 시뮬레이션 - 50um 측방향 오프셋				
픽셀 피치[um]	절단 기술 1	절단 기술 2	절단 기술 3	절단 기술 4
	601a	602a	603a	604a
50	1.000	1.000	1.000	1.000
100	1.000	1.000	1.000	1.000
150	0.035	0.960	1.000	1.000
200	0.000	0.000	0.691	1.000
250	0.000	0.000	0.092	0.876
300	0.000	0.000	0.012	0.005
350	0.000	0.000	0.002	0.000
400	0.000	0.000	0.000	0.000
450	0.000	0.000	0.000	0.000
500	0.000	0.000	0.000	0.000

도 6 및 표 44로부터 볼 수 있듯이, 컴퓨터 시뮬레이션에 기초하면, 일부 실시예들에서, 절단 기술 1을 사용함으로써 약 150 마이크로미터 이상의 픽셀 피치로 배열된 복수의 타일들을 포함하는 디스플레이 영역들에 대하여 약 10% 이하의 실패율이 달성될 수 있다. 마찬가지로, 절단 기술 2를 사용함으로써 약 200 마이크로미터 이상의 픽셀 피치로 배열된 복수의 타일들을 포함하는 디스플레이 영역들에 대하여 약 10% 이하의 실패율이 달성될 수 있고, 절단 기술 3을 사용함으로써 약 250 마이크로미터 이상의 픽셀 피치로 배열된 복수의 타일들을 포함하는 디스플레이 영역들에 대하여 약 10% 이하의 실패율이 달성될 수 있고, 절단 기술 4를 사용함으로써 약 300 마이크로미터 이상의 픽셀 피치로 배열된 복수의 타일들을 포함하는 디스플레이 영역들에 대하여 약 10% 이하의 실패율이 달성될 수 있다.

도 7은 본 개시의 실시예들에 따른 각각의 절단 기술 1 내지 4에 대하여 100 마이크로미터의 측방향 오프셋을 가지는 복수의 타일들을 포함하는 디스플레이 영역들의 모사된 조립에 기초한 예시적인 플롯을 도시하며, 수직 또는 Y 축은 퍼센트(%)로 실패율을 나타내고, 수평 또는 X 축은 마이크로미터(μm) 단위의 픽셀 피치를 나타낸다. 또한, 표 45는 50 마이크로미터 내지 500 마이크로미터 범위의 픽셀 피치들에 대하여 정의된 실패 기준에 대하여 각각의 절단 기술 1 내지 4에 대하여 도 7에 도시된 플롯이 기초하는 데이터를 제공하며, 선(601b)은 절단 기술 1의 관련 실패율을 나타내고, 선(602b)은 절단 기술 2의 관련 실패율을 나타내고, 선(603b)은 절단 기술 3의 관련 실패율을 나타내고, 선(604b)은 절단 기술 4의 관련 실패율을 나타낸다.

표 45

디스플레이 영역 어레이 조립 시뮬레이션 - 100um 측방향 오프셋				
픽셀 피치[um]	절단 기술 1	절단 기술 2	절단 기술 3	절단 기술 4
	601b	602b	603b	604b
50	1.000	1.000	1.000	1.000
100	1.000	1.000	1.000	1.000
150	1.000	1.000	1.000	1.000
200	1.000	1.000	1.000	1.000
250	0.001	0.459	1.000	1.000
300	0.000	0.000	0.513	1.000
350	0.000	0.000	0.062	0.556
400	0.000	0.000	0.009	0.001
450	0.000	0.000	0.002	0.000
500	0.000	0.000	0.000	0.000

도 7 및 표 45로부터 볼 수 있듯이, 컴퓨터 시뮬레이션에 기초하면, 일부 실시예들에서, 절단 기술 1을 사용함으로써 약 250 마이크로미터 이상의 픽셀 피치로 배열된 복수의 타일들을 포함하는 디스플레이 영역들에 대하여 약 10% 이하의 실패율이 달성될 수 있다. 마찬가지로, 절단 기술 2를 사용함으로써 약 300 마이크로미터 이상의 픽셀 피치로 배열된 복수의 타일들을 포함하는 디스플레이 영역들에 대하여 약 10% 이하의 실패율이 달성될 수 있고, 절단 기술 3을 사용함으로써 약 350 마이크로미터 이상의 픽셀 피치로 배열된 복수의 타일들을 포함하는

디스플레이 영역들에 대하여 약 10% 이하의 실패율이 달성될 수 있고, 절단 기술 4를 사용함으로써 약 400 마이크로미터 이상의 픽셀 피치로 배열된 복수의 타일들을 포함하는 디스플레이 영역들에 대하여 약 10% 이하의 실패율이 달성될 수 있다.

[0133] 따라서, 도 6 및 도 7에 도시된 컴퓨터 시뮬레이션의 결과에 기초하면, 수용 가능한 실패율 및 소정의 픽셀 피치에 기초하여 상기 복수의 타일들을 절단하기 위해 특정 절단 기술(예를 들어, 절단 기술 1 내지 4)을 선택할 수 있다. 일부 실시예들에서, 상기 절단 기술의 각각의 비용이 고려될 수 있으며 사용되는 절단 기술의 선택에 고려될 수 있다. 예를 들어, 일부 실시예들에서, 절단 기술 1은 고품질 디스플레이 영역들(예를 들어, 모바일 디스플레이들, 텔레비전 디스플레이들) 타일들을 절단하기 위해 선택될 수 있다; 반면 절단 기술 4는 비교적 더 낮은 품질의 디스플레이 영역들(예를 들어, 옥외 간판)에 사용되는 타일들을 절단하기 위해 선택될 수 있다. 일부 실시예들에서, 절단 기술 1은 예를 들어 절단 기술 4보다 사용하기에 비교적 더 비싸며 및/또는 시간 소모적일 수 있다. 따라서, 도 6 및 도 7에 제공된 컴퓨터 시뮬레이션들로부터 얻어진 정보에 기초하여 절단 기술들 1 내지 4 중 하나를 선택함으로써 상당한 장점들이 얻어질 수 있다.

[0134] 또한, 도 8 내지 도 11 및 표 46 내지 표 57을 참조하여 설명되는 바와 같이, 50 마이크로미터 및 100 마이크로미터의 측방향 오프셋들(도 5 참조 측방향 오프셋들(531a, 532a, 531b, 533b))에 대하여 372 마이크로미터의 소정의 픽셀 피치(px, py)를 가지며 px는 py와 동일한 절단 기술 3에 대응하는 통계적으로 큰 수의 타일들에 대하여 소정의 파라미터들(D1-D8)의 무작위적으로 생성된 값들에 기초하여 추가적인 컴퓨터 시뮬레이션들이 사용되었다. 소정의 파라미터들(D1 내지 D8)의 무작위적으로 생성된 값들을 포함하는 각각의 모사된 타일들은 전역 배치 방법 및 상대 배치 방법을 사용하여 복수의 nxm 어레이들로 조립되었다. 또한, 픽셀 피치의 1.5 배, 픽셀 피치의 1.1 배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치가 모사되었다. 대표적인 추세들 및 결론들이 형성될 수 있는 통계적 샘플을 제공하기 위하여, 각각의 모사된 시나리오에 대하여, 시뮬레이션이 1,000,000회 반복되었다. 또한, 절단 기술 3의 컴퓨터 시뮬레이션들(도 8 내지 도 11 및 표 46 내지 표 57)에 기초하여 관찰된 추세들이 도 6, 도 7, 표 44, 및 표 45에 제공된 비교 데이터의 고려 하에 절단 기술 1, 절단 기술 2, 및 절단 기술 4와 관련하여 동일하게 관련된 결론들을 제공할 수 있다는 것이 이해될 것이다.

[0135] 또한, 3개의 상이한 타일링 전략들이 시뮬레이션되었으며 디스플레이 영역들의 각각의 실패율들이 기록되었다. 제1 타일링 전략은 어레이들로 조립되는 각각의 타일을 무작위적으로 선택하는 것을 포함할 수 있다. 예를 들어, 일부 실시예들에서, 상기 제1 타일링 전략과 관련하여, 컴퓨터 시뮬레이션은 소정의 파라미터들(D1 내지 D8)의 무작위적으로 생성된 값들에 대한 고려 없이 소정의 파라미터들(D1 내지 D8)의 무작위적으로 생성된 값들을 포함하는 각각의 타일을 무작위적으로 선택하였으며, 본 개시의 실시예들에 따라 상기 타일을 다양한 어레이들로 조립하였다.

[0136] 표 46은 픽셀 피치의 1.5배, 픽셀 피치의 1.1배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치들로 타일들을 5x5 어레이들, 6x6 어레이들, 7x7 어레이들, 8x8 어레이들, 9x9 어레이들, 및 10x10 어레이들로 배치하는 전역 배치 방법을 사용하며 50 마이크로미터 측방향 오프셋 타일들에 대하여 상기 제1 타일링 전략을 사용하는 컴퓨터 시뮬레이션들의 실패율들을 제공한다.

표 46

[0137]

50 마이크로미터 측방향 오프셋 - 타일링 전략 1			
어레이	전역 배치 방법		
	레지스트레이션 피치 x 픽셀 피치		
	1.5x	1.1x	1.01x
	-	701a	701b
5x5	0.000004	0.000265	0.000647
6x6	0.000011	0.000397	0.001060
7x7	0.000013	0.000567	0.001486
8x8	0.000020	0.000919	0.002463
9x9	0.000037	0.001452	0.003805
10x10	0.000059	0.002245	0.005908

[0138] 또한, 도 8은 표 46의 상기 제1 타일링 전략의 모사된 조립에 기초한 예시적인 플롯을 도시하며, 수직 또는 Y 축은 퍼센트(%)로 실패율을 나타내며 수평 또는 X 축은 (nxm) 어레이 내의 타일들의 수로 디스플레이 영역 크기를 나타낸다. 특히, 선(701a)는 상기 제1 타일링 전략을 사용하여 전역 배치 방법으로 조립된 50 마이크로미터

오프셋된 타일들에 대하여 픽셀 피치의 1.1배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대한 각각의 실패율들을 나타내고, 선(701b)은 상기 제1 타일링 전략을 사용하여 전역 배치 방법으로 조립된 50 마이크로미터 오프셋된 타일들에 대하여 상기 픽셀 피치의 1.01 배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대하여 각각의 실패율들을 나타낸다.

[0139] 표 47은 픽셀 피치의 1.5배, 픽셀 피치의 1.1배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치들로 타일들을 5x5 어레이들, 6x6 어레이들, 7x7 어레이들, 8x8 어레이들, 9x9 어레이들, 및 10x10 어레이들로 배치하는 상대 배치 방법을 사용하며 50 마이크로미터 측방향 오프셋된 타일들에 대하여 상기 제1 타일링 전략을 사용하는 컴퓨터 시뮬레이션들의 실패율들을 제공한다.

표 47

[0140]

50 마이크로미터 측방향 오프셋 - 타일링 전략 1			
어레이	상대 배치 방법		
	레지스트레이션 피치 x 픽셀 피치		
	1.5x	1.1x	1.01x
	-	701c	701d
5x5	0.000006	0.000241	0.000612
6x6	0.000006	0.000316	0.000967
7x7	0.000013	0.000514	0.001302
8x8	0.000023	0.000668	0.001728
9x9	0.000023	0.000857	0.002224
10x10	0.000039	0.001036	0.002730

[0141] 또한, 도 9는 표 47의 상기 제1 타일링 전략의 모사된 조립에 기초한 예시적인 플롯을 도시하며, 수직 또는 Y 축은 퍼센트(%)로 실패율을 나타내며 수평 또는 X 축은 (nxm) 어레이 내의 타일들의 수로 디스플레이 영역 크기를 나타낸다. 특히, 선(701c)은 상기 제1 타일링 전략을 사용하여 상대 배치 방법으로 조립된 50 마이크로미터 오프셋된 타일들에 대하여 픽셀 피치의 1.1배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대한 각각의 실패율들을 나타내고, 선(701d)은 상기 제1 타일링 전략을 사용하여 상대 배치 방법으로 조립된 50 마이크로미터 오프셋된 타일들에 대하여 상기 픽셀 피치의 1.01 배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대하여 각각의 실패율들을 나타낸다.

[0142] 표 48은 픽셀 피치의 1.5배, 픽셀 피치의 1.1배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치들로 타일들을 5x5 어레이들, 6x6 어레이들, 7x7 어레이들, 8x8 어레이들, 9x9 어레이들, 및 10x10 어레이들로 배치하는 전역 배치 방법을 사용하며 100 마이크로미터 측방향 오프셋 타일들에 대하여 상기 제1 타일링 전략을 사용하는 컴퓨터 시뮬레이션들의 실패율들을 제공한다.

표 48

[0143]

100 마이크로미터 측방향 오프셋 - 타일링 전략 1			
어레이	전역 배치 방법		
	레지스트레이션 피치 x 픽셀 피치		
	1.5x	1.1x	1.01x
	-	704a	704b
5x5	0.000061	0.005539	0.020601
6x6	0.000101	0.008658	0.031354
7x7	0.000149	0.011776	0.042760
8x8	0.000190	0.015921	0.057151
9x9	0.000249	0.020496	0.072925
10x10	0.000292	0.025801	0.091573

[0144] 또한, 도 10은 표 48의 상기 제1 타일링 전략의 모사된 조립에 기초한 예시적인 플롯을 도시하며, 수직 또는 Y 축은 퍼센트(%)로 실패율을 나타내며 수평 또는 X 축은 (nxm) 어레이 내의 타일들의 수로 디스플레이 영역 크기를 나타낸다. 특히, 선(704a)은 상기 제1 타일링 전략을 사용하여 전역 배치 방법으로 조립된 100 마이크로미터 오프셋된 타일들에 대하여 픽셀 피치의 1.1배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대한 각각

의 실패율들을 나타내고, 선(704b)은 상기 제1 타일링 전략을 사용하여 전역 배치 방법으로 조립된 100 마이크로미터 오프셋된 타일들에 대하여 상기 픽셀 피치의 1.01 배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대하여 각각의 실패율들을 나타낸다.

[0145] 표 49는 픽셀 피치의 1.5배, 픽셀 피치의 1.1배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치들로 타일들을 5x5 어레이들, 6x6 어레이들, 7x7 어레이들, 8x8 어레이들, 9x9 어레이들, 및 10x10 어레이들로 배치하는 상대 배치 방법을 사용하며 100 마이크로미터 측방향 오프셋 타일들에 대하여 상기 제1 타일링 전략을 사용하는 컴퓨터 시뮬레이션들의 실패율들을 제공한다.

표 49

[0146]

100 마이크로미터 측방향 오프셋 - 타일링 전략 1			
어레이	상대 배치 방법		
	레지스트레이션 피치 x 픽셀 피치		
	1.5x	1.1x	1.01x
	-	704c	704d
5x5	0.000060	0.005630	0.020532
6x6	0.000106	0.008385	0.030667
7x7	0.000135	0.011832	0.042709
8x8	0.000166	0.015566	0.056647
9x9	0.000243	0.020022	0.071737
10x10	0.000298	0.025327	0.090438

[0147] 또한, 도 11은 표 49의 상기 제1 타일링 전략의 모사된 조립에 기초한 예시적인 플롯을 도시하며, 수직 또는 Y 축은 퍼센트(%)로 실패율을 나타내며 수평 또는 X 축은 (nxm) 어레이 내의 타일들의 수로 디스플레이 영역 크기를 나타낸다. 특히, 선(704c)은 상기 제1 타일링 전략을 사용하여 상대 배치 방법으로 조립된 100 마이크로미터 오프셋된 타일들에 대하여 픽셀 피치의 1.1배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대한 각각의 실패율들을 나타내고, 선(704d)은 상기 제1 타일링 전략을 사용하여 상대 배치 방법으로 조립된 100 마이크로미터 오프셋된 타일들에 대하여 상기 픽셀 피치의 1.01 배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대하여 각각의 실패율들을 나타낸다.

[0148] 제2 타일링 전략은 어레이들의 외부 둘레에 조립되는 특정한 타일들을 선택하고 어레이들의 내부에 조립되는 다른 타일들을 선택하는 것을 포함할 수 있다. 예를 들어, 일부 실시예들에서, 상기 제2 타일링 전략과 관련하여, 상기 컴퓨터 시뮬레이션은 각각의 공칭 값들에 대한 제1 편차를 정의하는 소정의 파라미터들(D1 내지 D8)의 무작위적으로 생성된 값들을 가지는 복수의 타일들을 선택하였으며, 이러한 타일들을 본 개시의 실시예들에 따라 다양한 어레이들의 외부 둘레 주위에 배치하였다. 또한, 일부 실시예들에서, 상기 제2 타일링 전략과 관련하여, 컴퓨터 시뮬레이션은 각각의 공칭 값들에 대하여 제2 편차를 정의하는 소정의 파라미터들(D1 내지 D8)의 무작위적으로 생성된 값들을 가지는 복수의 타일들을 선택하였으며, 이러한 타일들을 본 개시의 실시예들에 따라 상기 다양한 어레이들의 내부 내에 배치하였다. 일부 실시예들에서, 상기 외부 타일들의 제1 편차는 상기 내부 타일의 제2 편차보다 컸다.

[0149] 표 50은 픽셀 피치의 1.5배, 픽셀 피치의 1.1배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치들로 타일들을 5x5 어레이들, 6x6 어레이들, 7x7 어레이들, 8x8 어레이들, 9x9 어레이들, 및 10x10 어레이들로 배치하는 전역 배치 방법을 사용하며 50 마이크로미터 측방향 오프셋 타일들에 대하여 상기 제2 타일링 전략을 사용하는 컴퓨터 시뮬레이션들의 실패율들을 제공한다.

표 50

[0150]

50 마이크로미터 측방향 오프셋 - 타일링 전략 2			
어레이	전역 배치 방법		
	레지스트레이션 피치 x 픽셀 피치		
	1.5x	1.1x	1.01x
	-	702a	702b
5x5	0.000002	0.000318	0.000910
6x6	0.000022	0.001226	0.003713
7x7	0.000109	0.008459	0.024156

8x8	0.000601	0.051992	0.123760
9x9	0.004356	0.214476	0.388026
10x10	0.027814	0.529003	0.730551

[0151] 또한, 도 8은 표 50의 상기 제2 타일링 전략의 모사된 조립에 기초한 예시적인 플롯을 도시한다. 특히, 선 (702a)은 상기 제2 타일링 전략을 사용하여 전역 배치 방법으로 조립된 50 마이크로미터 오프셋된 타일들에 대하여 픽셀 피치의 1.1배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대한 각각의 실패율들을 나타내고, 선(702b)은 상기 제2 타일링 전략을 사용하여 전역 배치 방법으로 조립된 50 마이크로미터 오프셋된 타일들에 대하여 상기 픽셀 피치의 1.01 배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대하여 각각의 실패율들을 나타낸다.

[0152] 표 51은 픽셀 피치의 1.5배, 픽셀 피치의 1.1배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치들로 타일들을 5x5 어레이들, 6x6 어레이들, 7x7 어레이들, 8x8 어레이들, 9x9 어레이들, 및 10x10 어레이들로 배치하는 상대 배치 방법을 사용하며 50 마이크로미터 측방향 오프셋된 타일들에 대하여 상기 제2 타일링 전략을 사용하는 컴퓨터 시뮬레이션들의 실패율들을 제공한다.

표 51

[0153]

50 마이크로미터 측방향 오프셋 - 타일링 전략 2			
어레이	상대 배치 방법		
	레지스트레이션 피치 x 픽셀 피치		
	1.5x	1.1x	1.01x
	-	702c	702d
5x5	0.000011	0.000256	0.000731
6x6	0.000009	0.000443	0.001230
7x7	0.000015	0.000718	0.001987
8x8	0.000014	0.001016	0.003065
9x9	0.000031	0.001451	0.004198
10x10	0.000042	0.001925	0.005782

[0154] 또한, 도 9는 표 51의 상기 제2 타일링 전략의 모사된 조립에 기초한 예시적인 플롯을 도시한다. 특히, 선 (702c)은 상기 제2 타일링 전략을 사용하여 상대 배치 방법으로 조립된 50 마이크로미터 오프셋된 타일들에 대하여 픽셀 피치의 1.1배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대한 각각의 실패율들을 나타내고, 선(702d)은 상기 제2 타일링 전략을 사용하여 상대 배치 방법으로 조립된 50 마이크로미터 오프셋된 타일들에 대하여 상기 픽셀 피치의 1.01 배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대하여 각각의 실패율들을 나타낸다.

[0155] 표 52는 픽셀 피치의 1.5배, 픽셀 피치의 1.1배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치들로 타일들을 5x5 어레이들, 6x6 어레이들, 7x7 어레이들, 8x8 어레이들, 9x9 어레이들, 및 10x10 어레이들로 배치하는 전역 배치 방법을 사용하며 100 마이크로미터 측방향 오프셋 타일들에 대하여 상기 제2 타일링 전략을 사용하는 컴퓨터 시뮬레이션들의 실패율들을 제공한다.

표 52

[0156]

100 마이크로미터 측방향 오프셋 - 타일링 전략 2			
어레이	전역 배치 방법		
	레지스트레이션 피치 x 픽셀 피치		
	1.5x	1.1x	1.01x
	-	705a	705b
5x5	0.000067	0.007784	0.029789
6x6	0.000122	0.013865	0.051185
7x7	0.000211	0.025224	0.085809
8x8	0.000689	0.066931	0.177813
9x9	0.004638	0.221722	0.414980
10x10	0.027967	0.531146	0.737177

[0157] 또한, 도 10은 표 52의 상기 제2 타일링 전략의 모사된 조립에 기초한 예시적인 플롯을 도시한다. 특히, 선(705a)은 상기 제2 타일링 전략을 사용하여 전역 배치 방법으로 조립된 100 마이크로미터 오프셋된 타일들에 대하여 픽셀 피치의 1.1배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대한 각각의 실패율들을 나타내고, 선(705b)은 상기 제2 타일링 전략을 사용하여 전역 배치 방법으로 조립된 100 마이크로미터 오프셋된 타일들에 대하여 상기 픽셀 피치의 1.01 배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대하여 각각의 실패율들을 나타낸다.

[0158] 표 53은 픽셀 피치의 1.5배, 픽셀 피치의 1.1배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치들로 타일들을 5x5 어레이들, 6x6 어레이들, 7x7 어레이들, 8x8 어레이들, 9x9 어레이들, 및 10x10 어레이들로 배치하는 상대 배치 방법을 사용하며 100 마이크로미터 측방향 오프셋 타일들에 대하여 상기 제2 타일링 전략을 사용하는 컴퓨터 시뮬레이션들의 실패율들을 제공한다.

표 53

[0159]

100 마이크로미터 측방향 오프셋 - 타일링 전략 2			
어레이	상대 배치 방법		
	레지스트레이션 피치 x 픽셀 피치		
	1.5x	1.1x	1.01x
	-	705c	705d
5x5	0.000064	0.007814	0.029861
6x6	0.000113	0.013408	0.050801
7x7	0.000181	0.021537	0.077855
8x8	0.000245	0.031767	0.111510
9x9	0.000343	0.044165	0.150601
10x10	0.000490	0.059470	0.195972

[0160] 또한, 도 11은 표 53의 상기 제2 타일링 전략의 모사된 조립에 기초한 예시적인 플롯을 도시한다. 특히, 선(705c)은 상기 제2 타일링 전략을 사용하여 상대 배치 방법으로 조립된 100 마이크로미터 오프셋된 타일들에 대하여 픽셀 피치의 1.1배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대한 각각의 실패율들을 나타내고, 선(705d)은 상기 제2 타일링 전략을 사용하여 상대 배치 방법으로 조립된 100 마이크로미터 오프셋된 타일들에 대하여 상기 픽셀 피치의 1.01 배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대하여 각각의 실패율들을 나타낸다.

[0161] 상기 제2 타일링 전략과 관련하여, 상기 제2 타일링 전략을 사용함으로써 상기 제1 타일링 전략에 비해 디스플레이 영역들의 실패율들이 감소될 수 있다는 가설이 세워졌다. 그러나, 도 8 내지 도 11에 제공된 바와 같이, 상기 제2 타일링 전략(예를 들어, 선들(702a, 702b, 702c, 702d), 및 선들(705a, 705b, 705c, 705d))의 각각의 실패율들은 상기 제1 타일링 전략(예를 들어, 선들(701a, 701b, 701c, 701d) 및 선들(704a, 704b, 704c, 704d))에 비하여 증가되었다는 것이 보여질 수 있다. 따라서, 일부 실시예들에서, 상기 제2 타일링 전략은 상기 제1 타일링 전략보다 더 높은 실패율들을 발생시킬 수 있다.

[0162] 도 5로 돌아가면, 제3 타일링 전략은 제1 타일(501)의 소정의 파라미터(D1 내지 D8)의 값에 기초하여 상기 복수의 타일들(505) 중 상기 제1 타일(501)을 선택하고, 제2 타일(502)의 소정의 파라미터(D1 내지 D8)의 값에 기초하여 상기 복수의 타일들(505) 중 상기 제2 타일(502)을 선택하는 것을 포함할 수 있다. 일부 실시예들에서, 상기 방법은 상기 제1 타일(501) 및 상기 제2 타일(502)을 상기 디스플레이 영역(510)의 적어도 일부를 정의하는 어레이(506) 내에 배치하는 것을 포함할 수 있다. 일부 실시예들에서, 상기 제1 타일(501)의 제1 엣지(501a)는 상기 제2 타일(502)의 제2 엣지(502a)와 대향할 수 있다.

[0163] 일부 실시예들에서, 상기 제1 타일(501)의 소정의 파라미터(D1 내지 D8)의 값은 상기 소정의 파라미터(D1 내지 D8)의 공칭 값보다 클 수 있으며, 상기 제2 타일(502)의 상기 소정의 파라미터(D1 내지 D8)의 값은 상기 소정의 파라미터(D1 내지 D8)의 공칭 값보다 작을 수 있다. 일부 실시예들에서, 상기 제1 타일(501)의 상기 소정의 파라미터(D1 내지 D8)의 값은 상기 소정의 파라미터의 공칭 값에 대하여 상기 복수의 타일들(505) 중 상기 소정의 파라미터들(D1 내지 D8)의 최대 값을 정의할 수 있으며, 상기 제2 타일(502)의 상기 소정의 파라미터(D1 내지 D8)의 값은 상기 소정의 파라미터(D1 내지 D8)의 공칭 값에 대한 상기 복수의 타일들(505)의 상기 소정의 파라

미터들(D1 내지 D8)의 최소 값을 정의할 수 있다.

- [0164] 예를 들어, 일부 실시예들에서, 상기 소정의 파라미터(D1 내지 D8)의 공칭 값보다 큰 소정의 파라미터(D1 내지 D8)의 값을 가지는 상기 제1 타일(501) 및 상기 소정의 파라미터(D1 내지 D8)의 공칭 값보다 작은 소정의 파라미터(D1 내지 D8)를 가지는 상기 제2 타일(502)을 선택함으로써, 상기 공칭 타일에 대한 상기 제1 타일(501) 및 상기 제2 타일(502)의 각각의 편차들은 서로 상쇄될 수 있다. 따라서, 일부 실시예들에서, 소정의 파라미터들(D1 내지 D8)의 값에 기초하여 타일들을 선택하고 공칭 타일에 대한 타일들의 편차들이 서로 상쇄될 수 있는 방식으로 타일들을 조립함으로써 대응하는 디스플레이들의 실패율들의 감소가 얻어질 것이라는 가설이 세워졌다.
- [0165] 일부 실시예들에서, 상기 방법은 상기 복수의 타일들(505)의 상기 소정의 파라미터(D1 내지 D8)의 각각의 값에 기초하여 상기 복수의 타일들(505)을 분류하는 단계를 더 포함할 수 있다. 일부 실시예들에서, 상기 분류하는 단계는 제1 세트의 타일들 및 제2 세트의 타일들을 식별하는 단계를 포함할 수 있다. 마찬가지로, 일부 실시예들에서, 상기 분류하는 단계는 상기 복수의 타일들(505)의 상기 소정의 파라미터(D1 내지 D8)의 각각의 값에 기초하여 타일들의 복수의 세트들(예를 들어, 둘보다 많은 타일 세트들)을 식별하는 단계를 포함할 수 있다. 일부 실시예들에서, 상기 제1 세트의 타일들의 각각의 타일의 상기 소정의 파라미터(D1 내지 D8)의 각각의 값은 상기 소정의 파라미터(D1 내지 D8)의 공칭 값보다 클 수 있으며, 상기 제2 세트의 타일들의 각각의 타일의 상기 소정의 파라미터(D1 내지 D8)의 각각의 값은 상기 소정의 파라미터(D1 내지 D8)의 공칭 값보다 작을 수 있다. 일부 실시예들에서, 상기 방법은 상기 제1 세트의 타일들의 각각의 타일의 상기 소정의 파라미터(D1 내지 D8)의 각각의 값에 기초하여 오름 차순 또는 내림 차순으로 상기 제1 세트의 타일들을 정렬하는 단계 및 상기 제2 세트의 타일들의 각각의 타일의 상기 소정의 파라미터(D1 내지 D8)의 각각의 값에 기초하여 오름 차순 또는 내림 차순으로 상기 제2 세트의 타일들을 정렬하는 단계를 더 포함할 수 있다. 일부 실시예들에서, 상기 제1 타일(501)은 상기 제1 세트의 타일들로부터 선택될 수 있고, 상기 제2 타일(502)은 상기 제2 세트의 타일들로부터 선택될 수 있다.
- [0166] 일부 실시예들에서, 상기 제1 타일(501)의 상기 소정의 파라미터(D1 내지 D8)의 값은 상기 소정의 파라미터(D1 내지 D8)에 대하여 상기 제1 세트의 타일들의 소정의 파라미터들(D1 내지 D8)의 최대 값을 정의할 수 있으며, 상기 제2 타일(502)의 상기 소정의 파라미터(D1 내지 D8)의 값은 상기 소정의 파라미터(D1 내지 D8)의 공칭 값에 대한 상기 제2 세트의 타일들의 상기 소정의 파라미터들(D1 내지 D8)의 최소 값을 정의할 수 있다.
- [0167] 일부 실시예들에서, 상기 방법은 적어도 하나의 추가 타일(503, 504)의 상기 소정의 파라미터(D1 내지 D8)의 값에 기초하여 상기 복수의 타일들(505) 중 적어도 하나의 추가 타일(예를 들어, 제3 타일(503), 제4 타일(504))을 선택하는 단계 및 상기 적어도 하나의 추가 타일(503, 504)을 상기 어레이(506)에 배치하는 단계를 더 포함할 수 있다. 예를 들어, 일부 실시예들에서, 상기 제3 타일(503)은 상기 제3 타일(503)의 제2 엣지(503b)가 상기 제1 타일(501)의 제2 엣지(501b)와 대향하도록 상기 어레이(506)에 배치될 수 있다. 마찬가지로, 화살표(525)에 의해 나타난 바와 같이, 일부 실시예들에서, 상기 제4 타일(504)의 제1 엣지(504a)가 상기 제3 타일(503)의 제1 엣지(503a)와 대향하고 상기 제4 타일(504)의 제2 엣지(504b)가 상기 제2 타일(502)의 제2 엣지(502b)와 대향하도록 상기 제4 타일(504)은 상기 어레이(506)에 배치될 수 있다. 일부 실시예들에서, 상기 방법은 상기 디스플레이 영역(510)이 소정의 수의 타일들을 포함할 때까지 상기 적어도 하나의 추가 타일의 상기 소정의 파라미터(D1 내지 D8)의 값에 기초하여 상기 복수의 타일들(505) 중 적어도 하나의 추가 타일을 선택하고 상기 적어도 하나의 추가 타일을 상기 어레이(506)에 배치함으로써 복수회 반복될 수 있다.
- [0168] 추가적으로 또는 대안적으로, 일부 실시예들에서, 상기 디스플레이 영역(510)을 조립하는 방법은 각각의 타일의 소정의 파라미터(D1 내지 D8)의 각각의 값에 기초하여 복수의 쌍들의 타일들을 선택하는 단계를 포함할 수 있다. 일부 실시예들에서, 각각의 쌍의 타일들은 제1 타일 및 제2 타일을 포함할 수 있다. 예를 들어, 제1 쌍의 타일들(515a)은 제1 타일(501) 및 제2 타일(502)을 포함할 수 있고, 제2 쌍의 타일들(515b)은 제3 타일(503) 및 제4 타일(504)을 포함할 수 있다. 일부 실시예들에서, 상기 제1 타일(예를 들어, 타일(501), 타일(503))의 소정의 파라미터(D1 내지 D8)의 각각의 값은 상기 제2 타일(예를 들어, 타일(502), 타일(504))의 소정의 파라미터(D1 내지 D8)의 각각의 값보다 클 수 있다. 상기 방법은 상기 복수의 쌍의 타일들(515a, 515b)을 상기 디스플레이 영역(510)의 적어도 일부를 정의하는 어레이(506)로 배치하는 단계를 더 포함할 수 있다. 일부 실시예들에서, 각각의 쌍(515a, 515b)의 상기 제1 타일(예를 들어, 타일(501), 타일(503))의 각각의 제1 엣지(501a, 503a)는 각각의 쌍(515a, 515b)의 상기 제2 타일(예를 들어, 타일(502), 타일(504))의 각각의 제2 엣지(502a, 504a)를 향할 수 있다.
- [0169] 일부 실시예들에서, 각각의 쌍(515a, 515b)의 상기 제1 타일(예를 들어, 타일(501), 타일(503))의 소정의 파라

미터(D1 내지 D8)의 각각의 값은 소정의 파라미터(D1 내지 D8)의 공칭 값보다 클 수 있고, 각각의 쌍(515a, 515b)의 상기 제2 타일(예를 들어, 타일(502), 타일(504))의 소정의 파라미터(D1 내지 D8)의 각각의 값은 상기 소정의 파라미터(D1 내지 D8)의 공칭 값보다 작을 수 있다.

[0170] 일부 실시예들에서, 상기 방법은 제1 세트의 타일들 및 제2 세트의 타일들을 식별하는 단계를 더 포함할 수 있다. 상기 제1 세트의 타일들의 각각의 타일의 소정의 파라미터(D1 내지 D8)의 각각의 값은 소정의 파라미터(D1 내지 D8)의 공칭 값보다 클 수 있고, 상기 제2 세트의 타일들의 각각의 타일의 상기 소정의 파라미터(D1 내지 D8)의 각각의 값은 상기 소정의 파라미터(D1 내지 D8)의 공칭 값보다 작을 수 있다. 일부 실시예들에서, 각각의 타일 쌍들(515a, 515b)의 상기 제1 타일(예를 들어, 타일(501), 타일(503))은 상기 제1 세트의 타일들로부터 선택될 수 있고, 각각의 타일 쌍들(515a, 515b)의 상기 제2 타일(예를 들어, 타일(502), 타일(504))은 상기 제2 세트의 타일들로부터 선택될 수 있다.

[0171] 일부 실시예들에서, 상기 방법은 상기 제1 세트의 타일들의 각각의 타일의 상기 소정의 파라미터(D1 내지 D8)의 각각의 값에 기초하여 오름 차순 또는 내림 차순으로 상기 제1 세트의 타일들을 정렬하는 단계 및 상기 제2 세트의 타일들의 각각의 타일의 상기 소정의 파라미터(D1 내지 D8)의 각각의 값에 기초하여 오름 차순 또는 내림 차순으로 상기 제2 세트의 타일들을 정렬하는 단계를 더 포함할 수 있다. 타일들의 각각의 쌍들(515a, 515b)의 제1 타일(예를 들어, 타일(501), 타일(503))은 상기 정렬된 제1 세트의 타일들로부터 순차적으로 선택될 수 있으며, 각각의 타일들의 쌍들(515a, 515b)의 제2 타일(예를 들어, 타일(502), 타일(504))은 정렬된 타일들의 제2 세트로부터 순차적으로 선택될 수 있다.

[0172] 본 개시의 방법들에 따라 상기 소정의 파라미터(D2)의 값에 기초하여 제3 타일링 전략에 따라 타일들을 선택함으로써 컴퓨터 시뮬레이션이 수행되었다. 예를 들어, 타일들은 공칭 타일에 대한 타일들의 편차들이 서로 상쇄될 수 있도록 상기 소정의 파라미터(D2)의 각각의 값에 기초하여 선택되었다. 마찬가지로, 일부 실시예들에서, 하나 이상의 타일들은 공칭 타일에 대한 하나 이상의 타일들의 둘 이상의 소정의 파라미터들(D1 내지 D8)의 편차들이 서로 상쇄될 수 있도록 둘 이상의 소정의 파라미터들(D1 내지 D8)의 각각의 값에 기초하여 선택될 수 있다.

[0173] 표 54는 픽셀 피치의 1.5배, 픽셀 피치의 1.1배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치들로 타일들을 5x5 어레이들, 6x6 어레이들, 7x7 어레이들, 8x8 어레이들, 9x9 어레이들, 및 10x10 어레이들로 배치하는 전역 배치 방법을 사용하며 50 마이크로미터 측방향 오프셋 타일들에 대하여 상기 제3 타일링 전략을 사용하는 컴퓨터 시뮬레이션들의 실패율들을 제공한다.

표 54

[0174]

50 마이크로미터 측방향 오프셋 - 타일링 전략 3			
어레이	전역 배치 방법		
	레지스트레이션 피치 x 픽셀 피치		
	1.5x	1.1x	1.01x
	-	703a	703b
5x5	0.000009	0.000207	0.000500
6x6	0.000007	0.000227	0.000628
7x7	0.000014	0.000358	0.000879
8x8	0.000017	0.000503	0.001179
9x9	0.000020	0.000581	0.001433
10x10	0.000026	0.000707	0.001791

[0175] 또한, 도 8은 표 54의 상기 제3 타일링 전략의 모사된 조립에 기초한 예시적인 플롯을 도시한다. 특히, 선(703a)은 상기 제3 타일링 전략을 사용하여 전역 배치 방법으로 조립된 50 마이크로미터 오프셋된 타일들에 대하여 픽셀 피치의 1.1배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대한 각각의 실패율들을 나타내고, 선(703b)은 상기 제3 타일링 전략을 사용하여 전역 배치 방법으로 조립된 50 마이크로미터 오프셋된 타일들에 대하여 상기 픽셀 피치의 1.01 배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대하여 각각의 실패율들을 나타낸다.

[0176] 표 55는 픽셀 피치의 1.5배, 픽셀 피치의 1.1배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치들로 타일들을 5x5 어레이들, 6x6 어레이들, 7x7 어레이들, 8x8 어레이들, 9x9 어레이들, 및 10x10 어레이들로 배치하는 상대

배치 방법을 사용하며 50 마이크로미터 측방향 오프셋된 타일들에 대하여 상기 제3 타일링 전략을 사용하는 컴퓨터 시뮬레이션들의 실패율들을 제공한다.

표 55

[0177]

50 마이크로미터 측방향 오프셋 - 타일링 전략 3			
어레이	상대 배치 방법		
	레지스트레이션 피치 x 픽셀 피치		
	1.5x	1.1x	1.01x
	-	703c	703d
5x5	0.000008	0.000193	0.000524
6x6	0.000009	0.000304	0.000695
7x7	0.000010	0.000364	0.000930
8x8	0.000021	0.000472	0.001138
9x9	0.000020	0.000587	0.001467
10x10	0.000036	0.000750	0.001833

[0178]

또한, 도 9는 표 55의 상기 제3 타일링 전략의 모사된 조립에 기초한 예시적인 플롯을 도시한다. 특히, 선 (703c)은 상기 제3 타일링 전략을 사용하여 상대 배치 방법으로 조립된 50 마이크로미터 오프셋된 타일들에 대하여 픽셀 피치의 1.1배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대한 각각의 실패율들을 나타내고, 선(703d)은 상기 제3 타일링 전략을 사용하여 상대 배치 방법으로 조립된 50 마이크로미터 오프셋된 타일들에 대하여 상기 픽셀 피치의 1.01 배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대하여 각각의 실패율들을 나타낸다.

[0179]

표 56은 픽셀 피치의 1.5배, 픽셀 피치의 1.1배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치들로 타일들을 5x5 어레이들, 6x6 어레이들, 7x7 어레이들, 8x8 어레이들, 9x9 어레이들, 및 10x10 어레이들로 배치하는 전역 배치 방법을 사용하며 100 마이크로미터 측방향 오프셋 타일들에 대하여 상기 제3 타일링 전략을 사용하는 컴퓨터 시뮬레이션들의 실패율들을 제공한다.

표 56

[0180]

100 마이크로미터 측방향 오프셋 - 타일링 전략 3			
어레이	전역 배치 방법		
	레지스트레이션 피치 x 픽셀 피치		
	1.5x	1.1x	1.01x
	-	706a	706b
5x5	0.000057	0.003823	0.013258
6x6	0.000093	0.005331	0.018352
7x7	0.000091	0.006995	0.024065
8x8	0.000133	0.008947	0.030818
9x9	0.000182	0.011025	0.038116
10x10	0.000204	0.013915	0.047256

[0181]

또한, 도 10은 표 56의 상기 제3 타일링 전략의 모사된 조립에 기초한 예시적인 플롯을 도시한다. 특히, 선 (706a)은 상기 제3 타일링 전략을 사용하여 전역 배치 방법으로 조립된 100 마이크로미터 오프셋된 타일들에 대하여 픽셀 피치의 1.1배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대한 각각의 실패율들을 나타내고, 선(706b)은 상기 제3 타일링 전략을 사용하여 전역 배치 방법으로 조립된 100 마이크로미터 오프셋된 타일들에 대하여 상기 픽셀 피치의 1.01 배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대하여 각각의 실패율들을 나타낸다.

[0182]

표 57은 픽셀 피치의 1.5배, 픽셀 피치의 1.1배, 및 픽셀 피치의 1.01 배의 레지스트레이션 피치들로 타일들을 5x5 어레이들, 6x6 어레이들, 7x7 어레이들, 8x8 어레이들, 9x9 어레이들, 및 10x10 어레이들로 배치하는 상대 배치 방법을 사용하며 100 마이크로미터 측방향 오프셋 타일들에 대하여 상기 제3 타일링 전략을 사용하는 컴퓨터 시뮬레이션들의 실패율들을 제공한다.

표 57

100 마이크로미터 측방향 오프셋 - 타일링 전략 3			
어레이	상대 배치 방법		
	레지스트레이션 피치 x 픽셀 피치		
	1.5x	1.1x	1.01x
	-	706c	706d
5x5	0.000046	0.003847	0.013260
6x6	0.000080	0.005216	0.017989
7x7	0.000093	0.007059	0.023898
8x8	0.000146	0.009260	0.030637
9x9	0.000174	0.011450	0.038313
10x10	0.000195	0.013820	0.046269

[0184] 또한, 도 11은 표 57의 상기 제3 타일링 전략의 모사된 조립에 기초한 예시적인 플롯을 도시한다. 특히, 선 (706c)은 상기 제3 타일링 전략을 사용하여 상대 배치 방법으로 조립된 100 마이크로미터 오프셋된 타일들에 대하여 픽셀 피치의 1.1배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대한 각각의 실패율들을 나타내고, 선(706d)은 상기 제3 타일링 전략을 사용하여 상대 배치 방법으로 조립된 100 마이크로미터 오프셋된 타일들에 대하여 상기 픽셀 피치의 1.01 배의 레지스트레이션 피치와 관련하여 다양한 어레이들에 대하여 각각의 실패율들을 나타낸다.

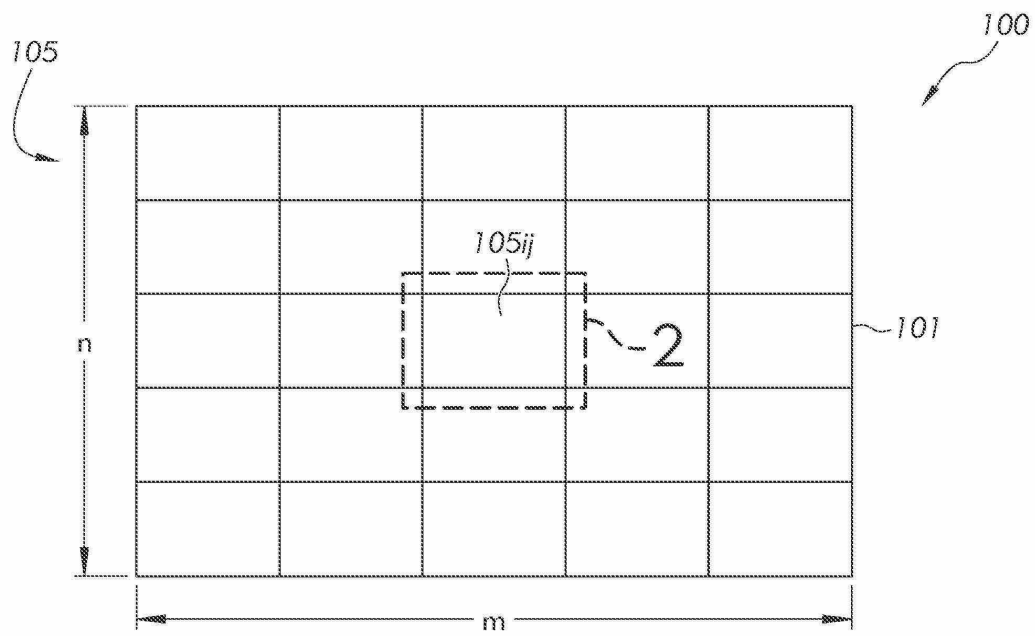
[0185] 상기 제3 타일링 전략과 관련하여, 언급된 바와 같이, 상기 제3 타일링 전략을 사용함으로써 상기 제1 타일링 전략에 비하여 상기 디스플레이 영역들의 실패율들이 감소될 수 있다는 가설이 세워졌다. 또한, 상기 제3 타일링 전략은 디스플레이 영역에 걸쳐 복수의 타일들을 배치하는데 사용될 수 있으며, 디스플레이 영역의 하나 이상의 소정의 영역들(예를 들어, 둘레, 코너들, 중심 영역) 내에 복수의 타일들 배치하는데 사용될 수 있다. 도 8 내지 도 11에 제공된 바와 같이, 상기 제3 타일링 전략(예를 들어, 선들(703a, 703b, 703c, 703d) 및 선들 (706a, 706b, 706c, 706d))의 각각의 실패율들이 상기 제1 타일링 전략(예를 들어, 라인들(701a, 701b, 701c, 701d) 및 라인들(704a, 704b, 704c, 704d))에 비하여 감소된 것이 보여질 수 있다. 따라서, 일부 실시예들에서, 상기 제3 타일링 전략은 상기 제1 타일링 전략보다 더 낮은 실패율들을 발생시킬 수 있다. 따라서, 일부 실시예들에서, 본 개시의 실시예들에 따라 복수의 픽셀들을 정의하는 복수의 마이크로 LED들을 포함하는 복수의 타일들을 포함하는 디스플레이 영역을 조립하는 것은 디스플레이의 디스플레이 영역의 실패율들을 감소시키는 것과 관련하여 여러 장점들을 제공할 수 있다.

[0186] 또한, 일부 실시예들에서, 상기 제1, 제2, 또는 제3 타일링 전략들 중 하나 이상의 예시적인 변형은 예를 들어 상기 소정의 파라미터들(D1 내지 D8)의 값들의 수치 분포의 소정의 기준 편차(예를 들어, 6-시그마, 3-시그마) 내에 있지 않은 하나 이상의 타일들을 상기 복수의 타일들로부터 제거함으로써 상기 복수의 타일들을 수정하는 (예를 들어, 줄이는) 것을 포함할 수 있다. 따라서, 일부 실시예들에서, 상기 하나 이상의 타일들을 제거한 후에, 타일들은 본 개시의 범위로부터 벗어나지 않으면서 상기 제1, 제2, 또는 제3 타일링 전략들 중 하나 이상에 따라 상기 수정된 복수의 타일들로부터 선택될 수 있다. 마찬가지로, 일부 실시예들에서, 상기 소정의 파라미터들(D1 내지 D8)의 값에 기초하여 타일을 선택하는 것은 하나의 소정의 파라미터 또는 하나 이상의 소정의 파라미터들(D1 내지 D8)의 조합에 기초할 수 있다.

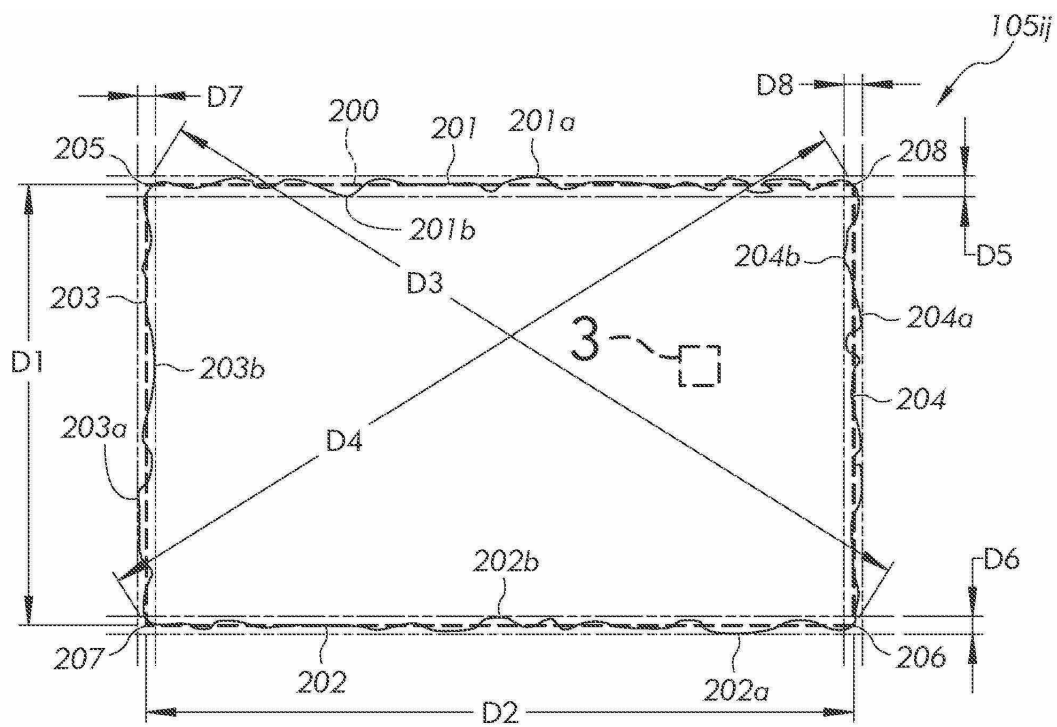
[0187] 다양한 실시예들이 특정한 예시적이며 구체적인 실시예들을 참조하여 상세히 설명되었으나, 다음의 청구항들의 범위로부터 벗어나지 않으면서 개시된 특징들의 수많은 변형들 및 조합들이 가능하므로 본 개시는 이에 제한되는 것으로 여겨지지 않아야 한다는 것이 이해되어야 한다.

도면

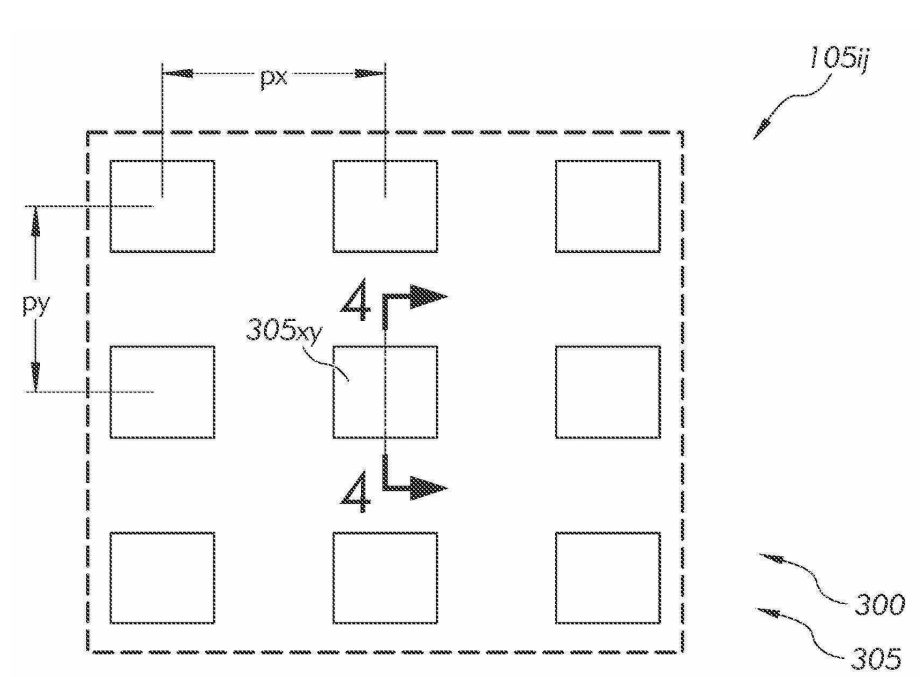
도면1



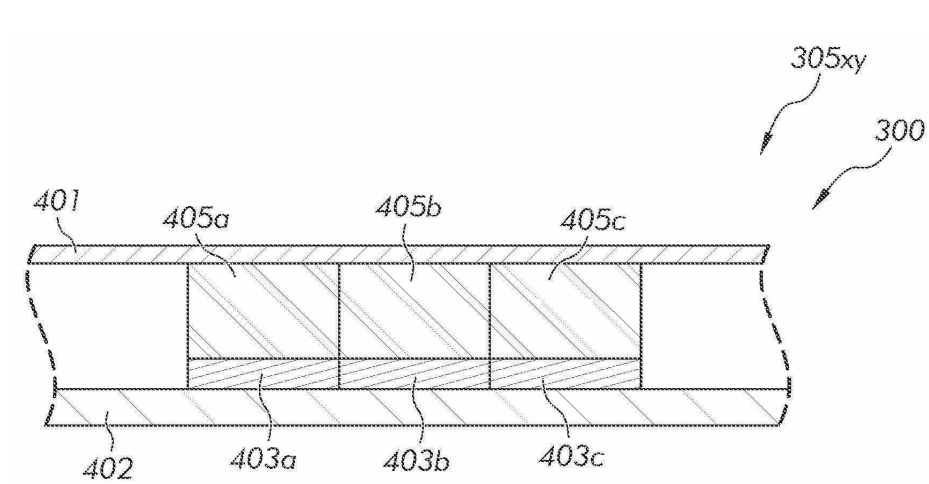
도면2



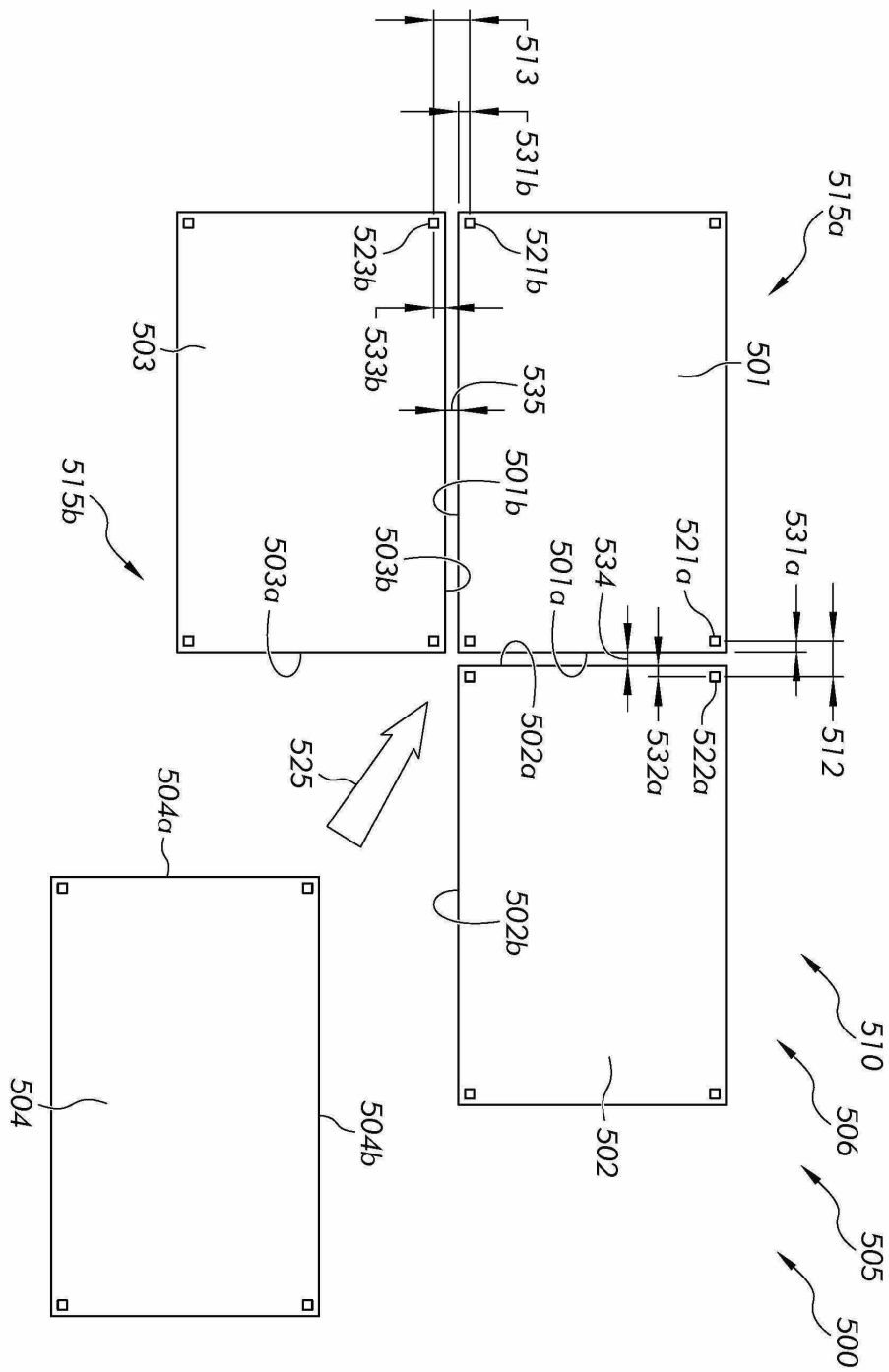
도면3



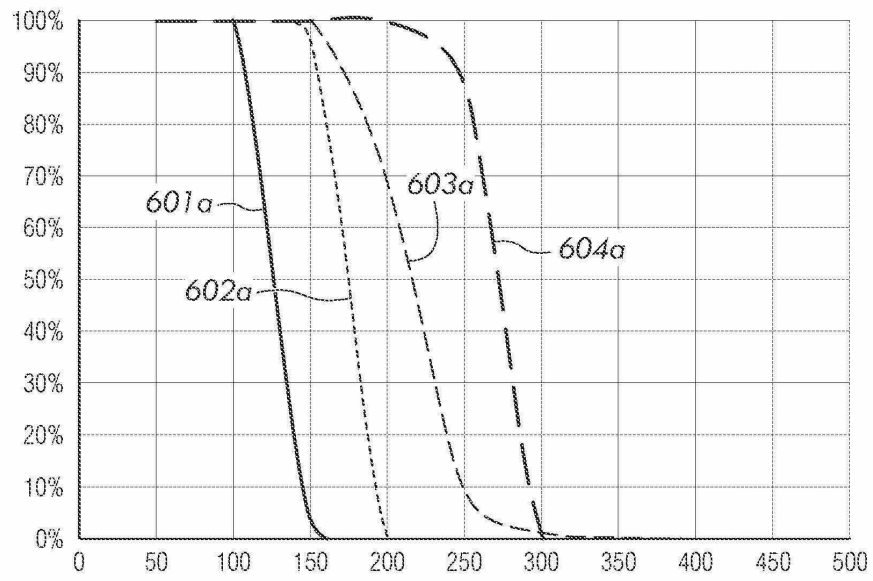
도면4



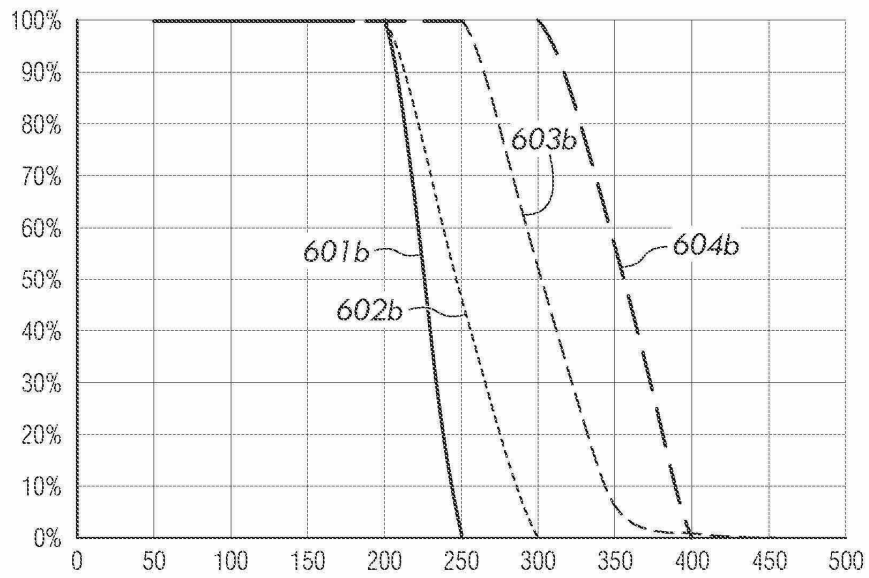
도면5



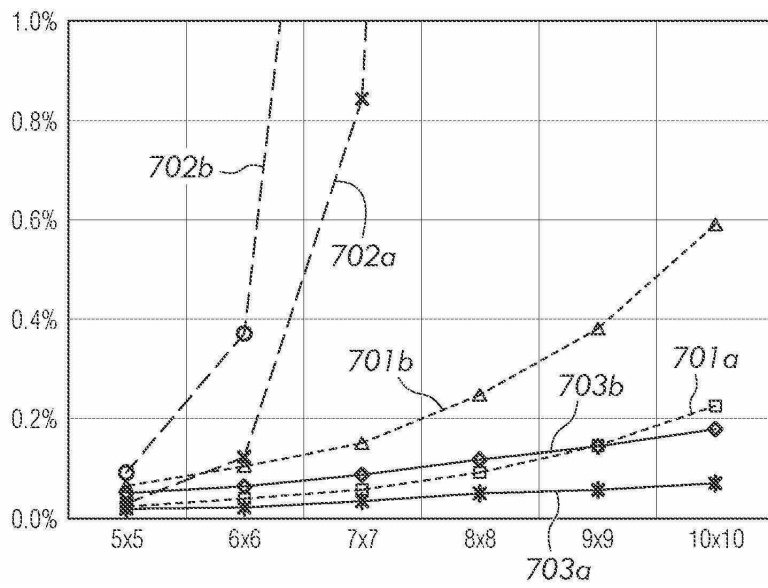
도면6



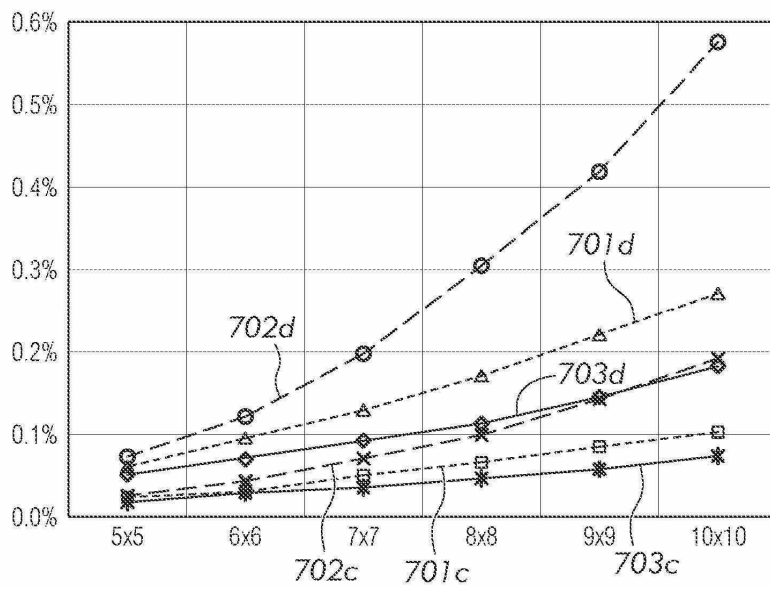
도면7



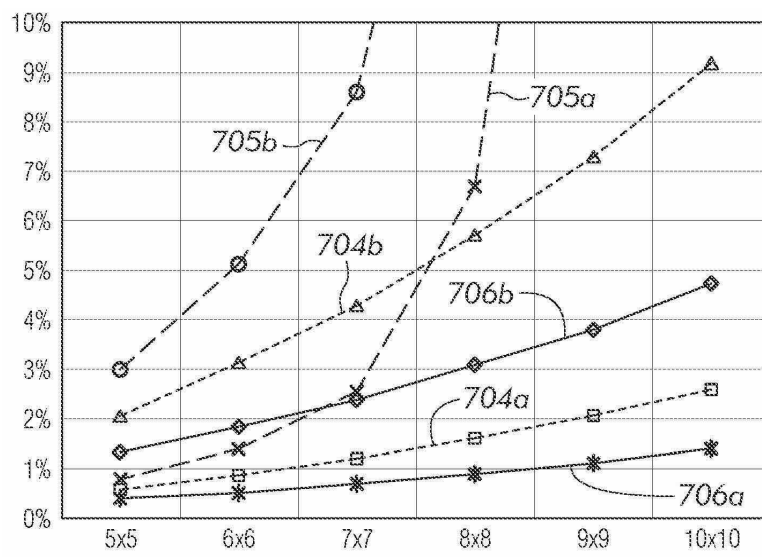
도면8



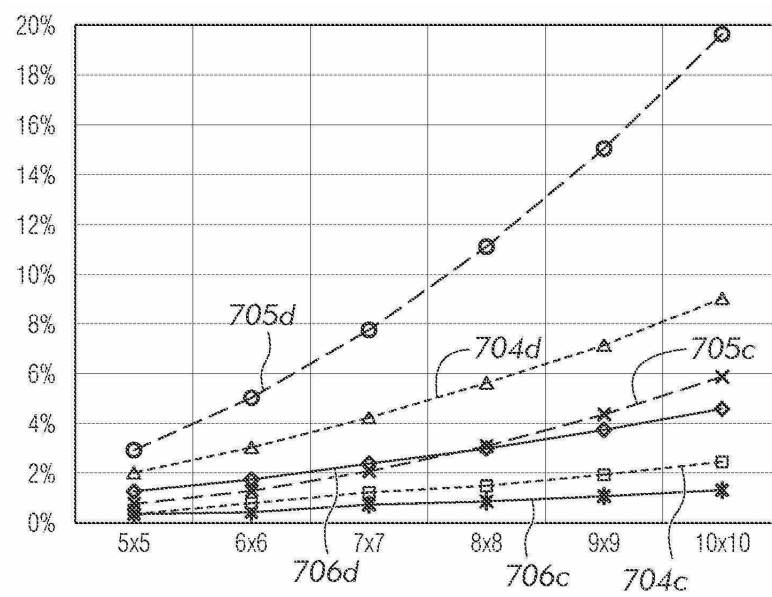
도면9



도면10



도면11



专利名称(译)	组装显示区域的设备和方法		
公开(公告)号	KR1020200070418A	公开(公告)日	2020-06-17
申请号	KR1020207016336	申请日	2018-11-06
[标]申请(专利权)人(译)	康宁股份有限公司		
申请(专利权)人(译)	康宁公司		
发明人	가너 셀 매튜 하이네 데이비드 로버트		
IPC分类号	H01L25/075 H01L33/00 H01L33/48		
CPC分类号	H01L25/0753 H01L33/005 H01L33/48 H01L25/075		
优先权	62/583020 2017-11-08 US		
外部链接	Espacenet		

摘要(译)

一种组装显示区域的方法,包括从多个图块中选择第一图块,所述多个图块中的每个图块包括预定参数和定义多个像素的多个微型LED。基于第一瓦片的预定参数的值来选择第一瓦片。该方法包括基于第二瓦片的预定参数的值从多个瓦片中选择第二瓦片。该方法还包括将第一瓦片和第二瓦片定位成限定显示区域的至少一部分的阵列。第一砖的第一边缘面对第二砖的第二边缘。还提供了一种包括通过该方法组装的显示区域的显示装置。

